

温度循环对硅通孔绝缘层漏电机制的影响*

任云坤¹⁾²⁾ 陈思^{2)†} 秦飞^{1)‡}

1) (北京工业大学, 电子封装技术与可靠性研究所, 北京 100124)

2) (工业和信息化部电子第五研究所, 电子元器件可靠性物理及其应用技术重点实验室, 广州 511300)

(2024 年 9 月 30 日收到; 2025 年 1 月 3 日收到修改稿)

硅通孔 (TSV) 作为实现三维集成电路互连的关键技术, 其侧壁界面的完整性对 TSV 的漏电特性至关重要. 本文开展了温度循环实验, 结合漏电流 I - V 测试、微观结构观察和能谱仪 (EDS) 元素分析, 分析了温度循环对 TSV 侧壁界面完整性及对绝缘层漏电机制的影响. 研究表明, 随着温度循环次数的增加, TSV 阻挡层的完整性逐渐降低, 漏电流显著增加, 绝缘层的漏电机制从肖特基发射机制转变为肖特基发射与 Poole-Frenkel 发射机制共同作用, 这种转变在高电场条件下更为显著. 进一步的 TSV 界面完整性分析表明, 温度循环引起的热机械应力导致了 TSV 填充铜与阻挡层界面间缺陷产生, 这些缺陷促进铜原子扩散到绝缘层, 形成漏电路径, 是导致绝缘层介电性能下降的主要原因之一.

关键词: 硅通孔, 漏电机制, 温度循环**PACS:** 73.40.Qv, 73.40.-c, 77.22.-d**DOI:** 10.7498/aps.74.20241381**CSTR:** 32037.14.aps.74.20241381

1 引言

硅通孔 (through-silicon via, TSV) 技术自被提出以来被认为是超越摩尔定律的关键, TSV 技术允许芯片垂直堆叠, 突破了传统平面集成电路制造的限制, 实现更高的集成度; 通过缩短芯片间的互连长度, 减小互连电容和电感, 降低信号延迟和功耗, 体现出优秀的电气性能^[1-4]. TSV 的制造工艺决定了 TSV 侧壁界面具有多层材料的结构特征, 沿 TSV 半径方向, 材料依次为 TSV 填充 Cu (以下简称 TSV-Cu)、Cu 种子层、阻挡层、绝缘层和 Si 基体, 构成了多层界面 (以下简称 TSV 界面), 其中, 填充 Cu 和 Si 基体的热膨胀系数 (coefficient of thermal expansion, CTE) 分别为 17×10^{-6} 和 $2.8 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$, 巨大的热失配会导致 TSV 界面完

整性问题, 而 TSV 界面完整性直接关系到器件的漏电和电击穿可靠性^[5-8].

完整的阻挡层和绝缘层可以有效为 TSV-Cu 和 Si 基体之间提供电绝缘, 防止电流泄漏, 并且在一定程度上缓解由 CTE 不匹配引起的机械应力^[9]. 然而, 在 TSV 制作和服役过程中, 温度载荷下界面的拉应力、切应力均会导致界面发生分离或开裂, 造成界面失效, 致使 TSV 结构发生漏电, 并加剧 TSV-Cu 的电迁移问题^[10,11]. 此外, 典型的 Bosch 工艺制造形成的 TSV 扇贝型侧壁结构导致应力集中, 更易产生裂纹增加泄漏通道^[12], 使其相对于非 Bosch 工艺制造出平滑侧壁结构的 TSV 产生更严重漏电^[13], TSV 漏电研究表明漏电量与 TSV 界面完整性密切相关.

目前, TSV 绝缘层漏电机制与 TSV 界面完整性的关系以及漏电机制随电场强度的转变过程尚

* 国家自然科学基金 (批准号: 61804032) 资助的课题.

† 通信作者. E-mail: chensiceprei@yeah.net

‡ 通信作者. E-mail: qfei@bjut.edu.cn

未厘清. Lin 等^[14]对带有 TSV 结构的电容器进行 I - V 测试, 通过拟合漏电机理发现随着电场强度的增强, 样品的漏电机理从肖特基发射机制到 P-F (Poole-Frenkel) 发射机制, 最终转为 F-N (Fowler-Nordheim) 隧穿机制, 同时发现绝缘层质量较差会导致较低电场下发生 P-F 发射机制, 但并未对漏电机理的转变进行详细解释, 也未考虑服役过程中温度循环造成的 TSV 界面缺陷如何影响 TSV 的漏电机理. Chen 等^[15]给出了 TSV 经历温度循环后失效模式由热致漏电失效到机械开裂失效的转变过程, 但仅给出了经历 0 次、100 次和 300 次温度循环后的数据, 无法给出 TSV 界面状态改变的完整过程, 机制转变的支撑数据不足. 因此, 本文开展了温度循环实验, 通过 Keithley 4200A-SCS 对经历不同温度循环次数后的 TSV 样品进行 I - V 测试, 并结合微结构观察, 评估温度循环对 TSV 界面完整性及绝缘层漏电机理的影响. 最后, 通过 EDS 分析深入探讨了 TSV 漏电的根本机理.

2 试验流程

对经历不同温度循环次数后的样品进行 I - V 测试, 测试平台采用探针台和 Keithley 4200A-SCS 参数分析仪, 如图 1 所示, 使用 20 μm 晶圆探针接触 Al 焊盘结合 4200A-SCS SMU 模块实现 0—30 V 扫描电压的施加, 测试过程中, 两根探针通过同轴电缆与参数分析仪连接, 实现电气特性监测. 当 Cu 暴露在湿度较高的空气中或者当温度达到 200 $^{\circ}\text{C}$ 以上时会发生氧化产生氧化铜, 针对这个问题, 本试验在样品设计方面, 整体样品表面覆盖一层 SiO_2 绝缘层, Cu 柱上方有 Al 焊盘覆盖,

内部铜柱处于隔绝空气状态, 在温度循环测试过程中, 客观上尽量避免 Cu 氧化问题; 并且在完成 I - V 测试后, 马上在真空环境下进行 FIB 切割和扫描电镜的观测.

测试样品为双盲孔 TSV, 由 Cu 作为填充金属, Ti, SiO_2 和 Si 分别为阻挡层、绝缘层和衬底材料. 阻挡层的作用是防止高温下 Cu 扩散到 Si 基体及绝缘层中, 绝缘层的作用是将 TSV 中的 Cu 导电路径与 Si 基体隔离, 防止漏电流的产生, 同时阻挡层和绝缘层还可以在在一定程度上缓解因 Cu 和 Si 热膨胀系数差异过大导致的热失配问题, 提高界面结合强度, 增强 TSV 互连结构的热机械可靠性. TSV 深度 150 μm , 直径 50 μm , 阻挡层厚度为 50 nm, 绝缘层厚度为 300 nm. 采用 GWS HBL-04JA 高低温试验箱对样品进行温度循环试验. 参考 GJB548 方法 1010.1-C 级试验条件, 目的是研究极端高温与极端低温交替变化对器件的影响, 考虑 TSV 互连结构在军工及航天领域的应用, 温度范围设置为 -65—150 $^{\circ}\text{C}$, 高低温保温时间为 15 min, 温变速率为 10 $^{\circ}\text{C}/\text{min}$. 将所有样品分为 11 组, 每组有 3 个样品, 分别进行 0, 30, 60, 90, 120, 150, 180, 210, 240, 270 以及 300 次温度循环测试.

3 结果与讨论

3.1 I - V 特性曲线

对初始状态 TSV 样品进行 I - V 测试, 当电压增大到 10 V 时其漏电流为 1.79 nA, 参照文献^[16]给出的判定标准, 10 V 电压时 TSV 样品的漏电流小于 10 nA, 意味本批次样品绝缘层质量优良. 初始状态至 300 次温度循环后 TSV 样品的 I - V 测试

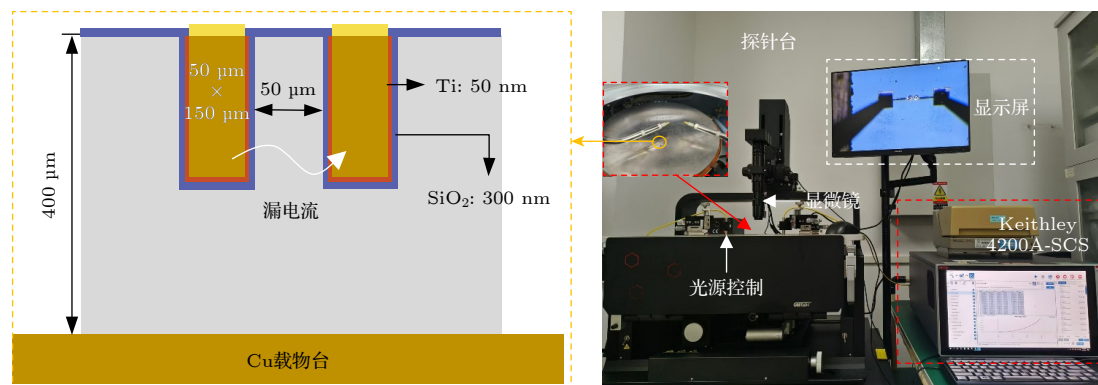


图 1 测试平台及样品介绍

Fig. 1. Test platform and sample introduction.

结果及计算后的电流密度-电场强度 (J - E) 结果如图 2 所示, 伴随加载电压从 0 V 增至 30 V, 不同循环次数后的 TSV 样品漏电流均呈现递增的趋势, 30 V 时样品漏电流达到最大值。

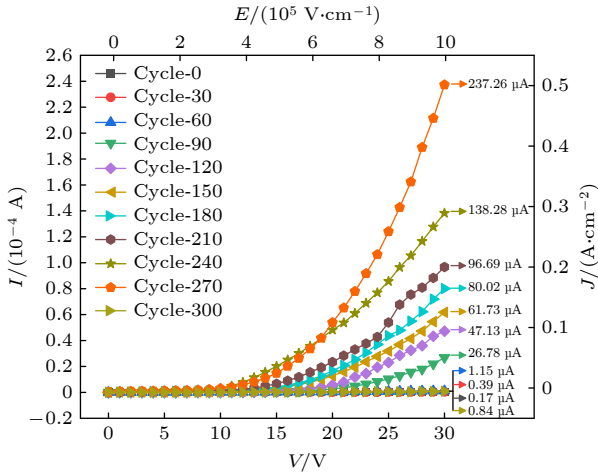


图 2 0—300 次温度循环样品 I - V (J - E) 测试结果
Fig. 2. I - V (J - E) test results of samples after 0-300 temperature cycles.

图 2 中, 当施加扫描电压到 30 V 时, 初始状态 TSV 样品 (Cycle-0) 的漏电流为 171.58 nA, 经 30 次温度循环 (Cycle-30) 后, TSV 样品漏电流增长到 395.95 nA, 在 Cycle-60 时, TSV 样品的漏电流增长至 μ A 级别, 为 1.53 μ A, 由此可见对于本样品, 前 60 次温度循环并不会导致绝缘层介电性能发生较为严重的退化。从 Cycle-60 TSV 样品开始, 每经历 30 次温度循环, TSV 样品漏电流增长幅度都在 20 μ A 左右, 这种现象一直持续到 Cycle-210 TSV 样品, 此阶段绝缘层介电性能退化较为稳定。Cycle-240 和 Cycle-270 TSV 样品的漏电流出现较大的增长幅度, Cycle-240 TSV 样品相较于 Cycle-210 样品增大了约 42 μ A, Cycle-270 TSV 样品相较于 Cycle-240 TSV 样品增加了约 99 μ A, 此时绝缘层的介电性能退化较为严重; 但是当 TSV 样品经 300 次温度循环后, 30 V 时对应的漏电流陡然降低到 0.84 μ A。

3.2 TSV 界面缺陷

由于 TSV 个体间存在差异, 每组经过温度循

环的 TSV 样品其界面泄漏源位置并不一致。为了观察 TSV 界面的最大缺陷形貌, 需要对其进行缺陷定位检测。采用锁定热成像技术 (lock-in thermography, LIT) 对 TSV 样品进行缺陷定位, 通过热成像设备和激励源来检测 TSV 内部因裂纹或孔洞导致的热异常, 从而定位缺陷 [17]。使用热发射显微镜 Thermal-F1, 激励电压设置为 30 V, 将除 TSV 界面区域的温度异常点作为噪点予以排除。经历 270 次温度循环的样品表面热成像图及对应的 TSV 界面区域的相位图和信号图分别如图 3 所示。定位结果表明, TSV 界面处由于缺陷发生了明显的电流泄漏。

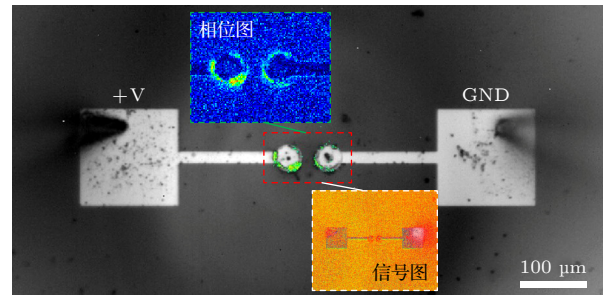


图 3 LIT 定位 TSV 侧壁缺陷结果图
Fig. 3. LIT detection results of TSV sidewall defects.

图 4 为通过聚焦离子束 (FIB) 切割 TSV 样品, 获得 TSV 界面的微观结构 SEM 图, 可以评估温度循环对 TSV 界面完整性的影响。使用 Zeiss Auriga Compact 型号的 FIB-SEM, 切割过程中原子束能量为 30 kV, 原子束流为 3 nA, 垂直击打 TSV 表面, 切割深度、长度和宽度分别为 10, 20 和 10 μ m。观察过程中的电子束击打角度为 52°。图 5 为通过能谱仪 (energy dispersive spectroscopy, EDS) 对经历 30 次温度循环 TSV 样品界面的元素分析结果。表 1 给出了不同温度循环次数 TSV 样品 SiO_2 绝缘层中 Cu 元素的平均占比。

图 4 中, 所有 TSV 样品 Cu 柱界面附近均产生了由电镀工艺导致的空洞, 同时可以看出 TSV 界面损伤程度随着温度循环次数的增加逐步加剧。在 Cycle-0 和 Cycle-30 时, TSV 界面微观组织致密, 完整性良好, 未观察到明显的裂纹或严重的结构损伤, 阻挡层和绝缘层可以有效阻挡 Cu 原子的

表 1 不同温度循环次数下绝缘层中 Cu 元素比例

Table 1. Cu element proportion in insulation layer under different temperature cycling numbers.

温循次数	0	30	60	90	120	150	180	210	240	270	300
Cu质量含量/%	9.19	9.22	12.55	18.07	27.44	33.59	37.16	41.98	44.19	48.29	15.85

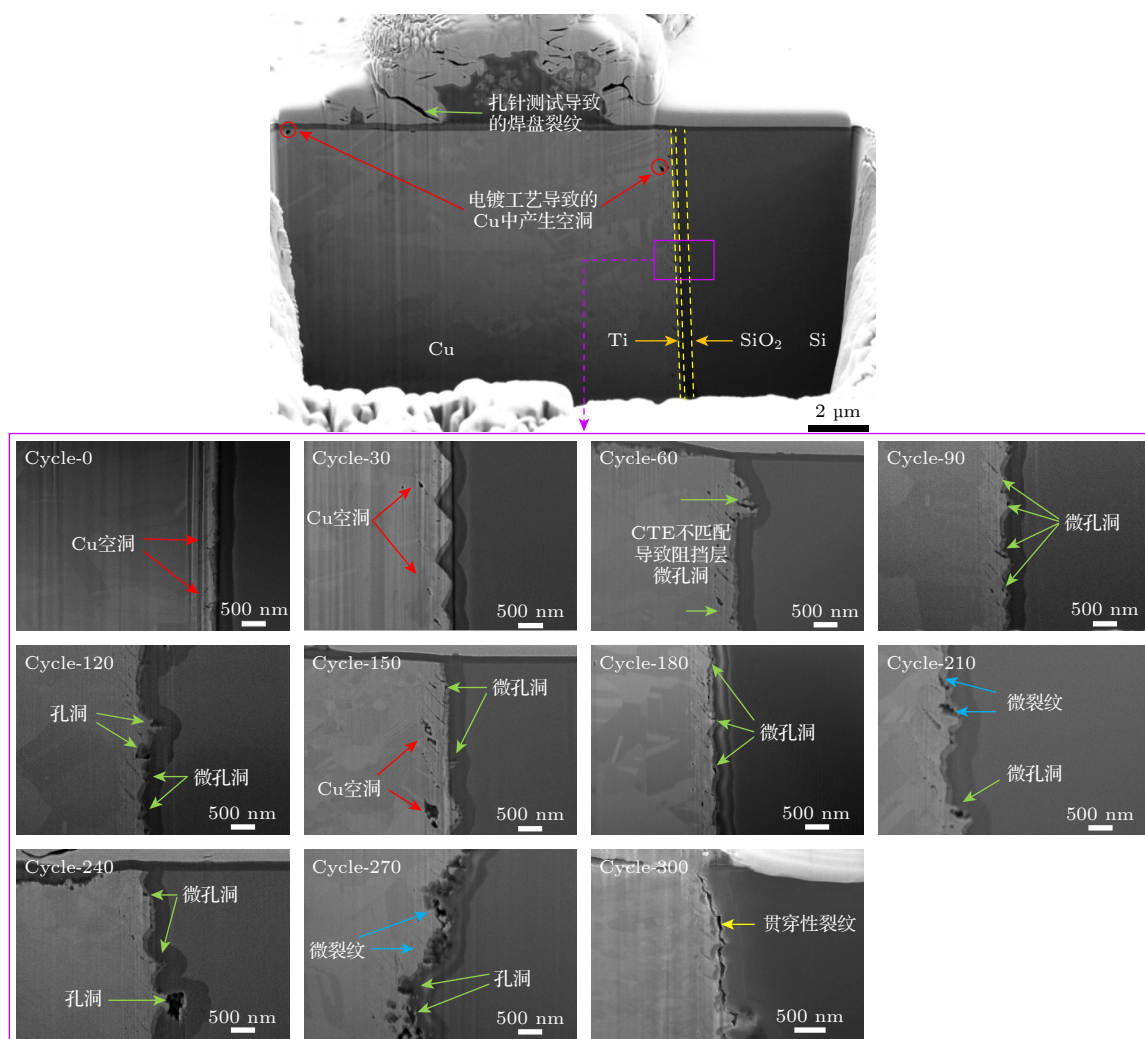


图 4 不同温度循环次数下 TSV 界面微观结构图

Fig. 4. Microstructure of TSV interfaces under different temperature cycling numbers.

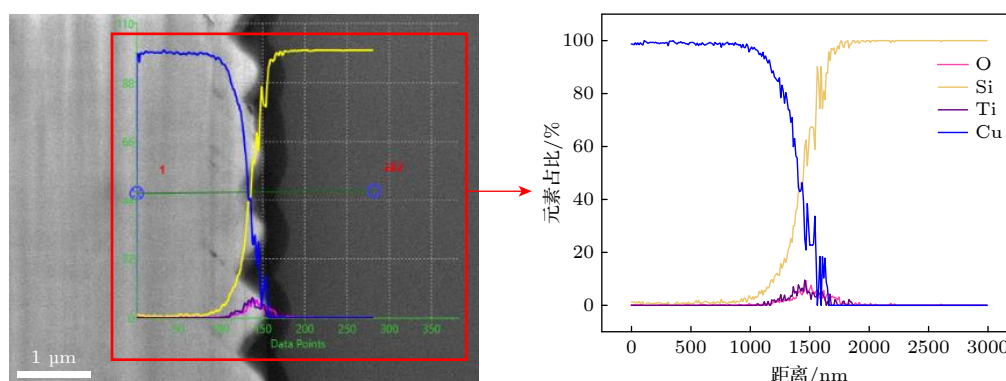


图 5 Cycle-30 EDS 元素分析结果图

Fig. 5. Results of cycle-30 EDS elemental analysis.

扩散和漏电流产生, 因此在初始阶段, 随着扫描电压的增大, TSV 漏电流增长缓慢.

随着温度循环次数的增加, CTE 不匹配导致 Cycle-60 时 TSV 界面阻挡层开始出现微孔洞. 在

Cycle-120 之后, 孔洞逐渐增大, 多个孔洞之间联合形成微裂纹, 出现明显的损伤特征; 孔洞的扩展和微裂纹的出现表明 TSV 界面的完整性和机械稳定性逐步下降. EDS 结果表明这些缺陷导致

Cu 原子大量扩散到绝缘层中, 缺陷为 Cu 原子提供了扩散路径, 阻挡层不能有效抑制 Cu 原子扩散到绝缘层中, 当 Cu 原子扩散到绝缘层中时, 会在绝缘层中引入漏电路径, 引起绝缘层局部电场增强, 降低绝缘层的绝缘效果, 导致漏电流增加。

在 Cycle-210 之后, TSV 界面裂纹变得更加明显, 特别是在 Cycle-300 时, 已经出现了贯穿性裂纹, 这表明 TSV 界面损伤程度严重. 此时, TSV-Cu 与 Si 基体之间引入了空气作为绝缘材料, 阻碍了电子在 TSV-Cu 与 Si 衬底之间的流动. 这种贯穿性裂纹有效地隔绝了漏电流的产生, 使漏电流显著下降. 同时, 贯穿性裂纹的存在也阻碍了 Cu 原子的扩散, 绝缘层中的 Cu 原子由于浓度差继续向 Si 衬底扩散, 导致绝缘层中 Cu 元素比例大幅下降.

综上所述, 温度循环从 0 次增至 300 次的过程中, TSV 界面的失效模式从热致漏电 ($\leq$ Cycle-270) 转变为机械开裂 (Cycle-300), 这种转变与 TSV 界面完整性的演变密切相关, 其界面从接触完好到产生微孔洞、微裂纹 (加速热致漏电的产生), 最终转变为界面贯穿性裂纹 (阻碍漏电流产

生); EDS 结果进一步表明, Cu 原子扩散到绝缘层中导致的漏电路径是降低其介电性能的根本原因, 也是 TSV 样品产生漏电的根本机理.

3.3 SiO₂ 绝缘层漏电机理

通过对测得的 I - V 曲线进行漏电机理拟合分析, 可以确定绝缘层的漏电机理. 绝缘层中漏电流输运机制主要包括 4 种: 直接隧穿^[18]、Fowler-Nordheim 隧穿^[19]、Poole-Frenkel(P-F) 发射^[20] 和肖特基发射^[21]. 其中, 直接隧穿在绝缘层厚度大于 3.5 nm 时不明显, 因此对本实验的样品来说, 直接隧穿对漏电流的贡献可以忽略不计. 此外, F-N 隧穿主要在高电场 (>6 MV/cm) 下显现, 远高于本次实验条件, 因此本文也忽略 F-N 隧穿的贡献. 表 2 列出了其余两种漏电机理的理论公式以及对数化处理后的拟合公式. 根据拟合公式得到的漏电机理拟合曲线如图 6 所示.

从图 6(a), (b) 给出的拟合优度 R^2 值可以看出, 肖特基发射机制在整个电场范围内对 Cycle-0, Cycle-30, Cycle-60 TSV 样品的拟合度都很高, 分别

表 2 漏电机理模型
Table 2. Leakage mechanism models.

漏电机理	理论公式	拟合公式	参数说明
P-F 发射	$J_{F-P} = CE \exp \left(\frac{-\varphi_t + q\sqrt{qE/4\pi\epsilon_0\epsilon_r}}{kT} \right)$	$\ln(J_{F-P}/E) = A_{F-P}\sqrt{E} + B_{F-P}$	J 为电流密度 q 为电子电荷 E 为电场强度 φ_t 为势陷深度 ϵ_0 为真空介电常数 ϵ_r 为介电常数
肖特基发射	$J_S = AT^2 \exp \left(\frac{-\varphi_s + q\sqrt{qE/4\pi\epsilon_0\epsilon_r}}{kT} \right)$	$\ln J_S = A_S\sqrt{E} + B_S$	A 为有效理查德森常数 T 为绝对温度 φ_s 为肖特基势垒高度 k 为玻尔兹曼常数

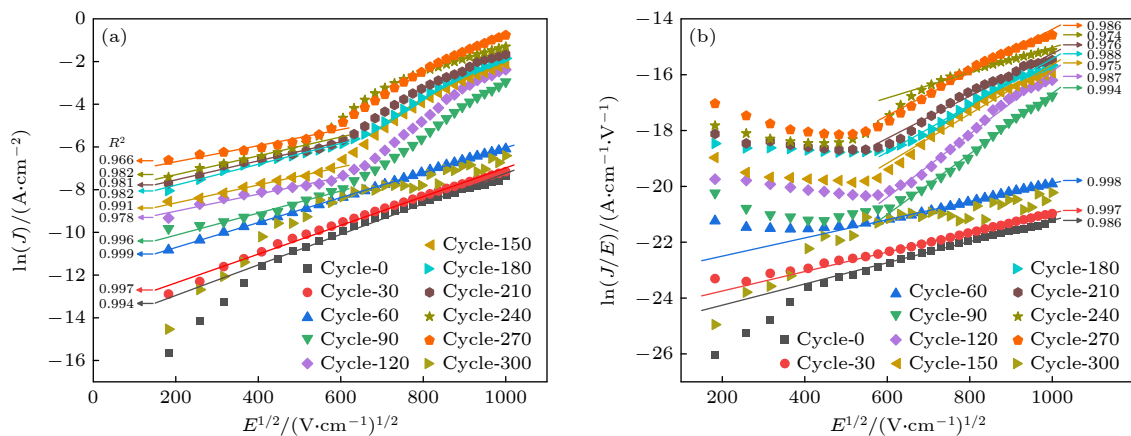


图 6 漏电机理拟合曲线 (a) 肖特基拟合; (b) P-F 拟合

Fig. 6. Leakage current mechanism fitting curves: (a) Schottky fitting; (b) P-F fitting.

为 0.994, 0.997 和 0.999, 而 P-F 发射机制在低电场下的拟合曲线并未表现线性增函数关系, 直到当电场强度高于 3.67×10^5 V/cm 时才表现出较佳的拟合优度, 我们之前的研究也发现了这一点^[15]. 当温度循环次数较少 ($\leq \text{Cycle-60}$) 时, 虽然 P-F 发射在高电场下也有较高的拟合优度, 但是并未改变肖特基发射机制在所施加电场范围内的高拟合性, 这表明当绝缘层完整性较高时肖特基发射为 TSV 的漏电机理.

由图 6(b) 可知, Cycle-90—Cycle-270 TSV 样品的 P-F 发射机制拟合曲线同样表现为当电场强度高于 3.67×10^5 V/cm 时才有较佳的线性增函数拟合优度. 但在图 6(a) 中, Cycle-90—Cycle-270 TSV 样品的肖特基拟合曲线与 Cycle-0—Cycle-60 TSV 样品的拟合曲线相比有较大的差异, 不再是单一线性曲线, 在电场强度为 3.67×10^5 V/cm 处, 拟合曲线出现明显转折点, 此点同样对应于图 6(b) 的 Cycle-90—Cycle-270 TSV 样品的 P-F 发射机制拟合曲线开始表现线性增长的初始点. 这表明随着温度循环次数的增加导致 TSV 界面完整性逐渐降低, 致使虽然在低电场下肖特基发射机制仍可以很好的拟合, 但在高电场下, TSV 绝缘层的漏电机理不再是单一机制, 肖特基发射和 P-F 发射机制都会对 TSV 结构的漏电产生贡献, 并且 P-F 发射机制对 TSV 结构的漏电贡献很大以至于改变了整个电场范围内肖特基发射的单一线性关系.

肖特基发射机制是电子通过热激发克服势垒而导致的漏电, 其产生的电流依赖于温度和电场强度, 但是对温度变化更为敏感; 而 P-F 发射机制是一种电场增强的热发射机制, 外部电场降低了陷阱深度, 从而增大电子的发射率, P-F 发射机制对电场强度变化更为敏感, 通常在较高的电场强度下才显现出来, 这与结果分析是一致的. 随着温度循环次数的增加, 阻挡层的完整性逐渐下降, 导致更多的 Cu 原子在电场和温度的驱动下通过扩散机制进入绝缘层. Cu 会占据 SiO_2 绝缘层中的空位或缺陷位点, 在绝缘层或界面区域形成陷阱态. 陷阱态通过捕获和释电荷载流子, 从而形成电荷积累区域, 导致局部电场强度增强, 进而在绝缘层内产生漏电路径. 这些高电场区域使得电子更容易通过 P-F 发射机制从陷阱态中逃逸. 因此, Cu 扩散会显著增强 P-F 发射机制下的漏电流.

3.4 温度循环对绝缘层势垒高度的影响

由 3.3 节可知, 当温度循环次数较少以及温度循环次数增加低电场条件下肖特基发射为 TSV 的漏电机理, TSV 界面绝缘层的肖特基势垒高度是衡量绝缘层介电性能的重要参数之一, 可以表征温度循环对 TSV 绝缘层介电性能退化的影响程度. 因此, 将肖特基发射的公式 (表 2) 两边取 $\ln$, 可以得出肖特基发射电流密度 J 和电场强度 E 的线性关系式 (1), 其中 A_s 代表斜率, B_s 代表截距:

$$\begin{aligned} \ln J_s &= \ln(AT^2) - \frac{q\varphi_s}{kT} + \frac{q\sqrt{qE/4\pi\epsilon_0\epsilon_r}}{kT} \\ &= A_s\sqrt{E} + B_s. \end{aligned} \quad (1)$$

将不同温度循环次数样品的肖特基发射拟合曲线做截距差得到:

$$\Delta B_s = -\frac{q\Delta\varphi_s}{kT}. \quad (2)$$

通过 (2) 式计算不同温度循环次数后 TSV 样品界面绝缘层的肖特基势垒高度变化值, 如图 7 所示.

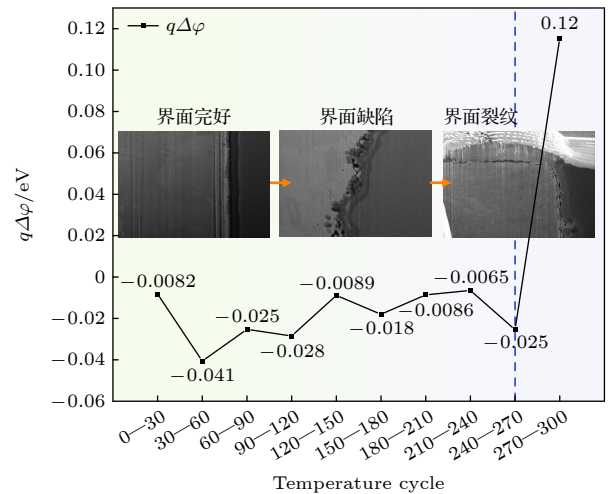


图 7 不同温度循环次数后绝缘层势垒高度变化值

Fig. 7. Variation in insulation layer barrier height after different numbers of temperature cycles.

图 7 中, 随着温度循环次数的增加, TSV 样品界面绝缘层的势垒高度呈现出不同程度的下降趋势. Cycle-30 TSV 样品相较于 Cycle-0 样品, 势垒高度仅降低 0.0082 eV, 绝缘层介电性能并未出现明显的退化, 继续增至 Cycle-60, 势垒高度降低 0.041 eV, 绝缘层介电性能出现较大退化趋势. 分析 Cycle-60 TSV 样品的 I - V 数据发现, 其在低电场 (3.67×10^5 V/cm) 下的漏电流为 10 — 10^2 nA 级别, 相比 Cycle-0 和 Cycle-30 TSV 样品的漏电流

(1—10 nA)增大至少 10 倍, 导致其拟合漏电机制曲线时得到的截距出现较大变化. 由此可以看出即使温度循环次数较少时, TSV 样品在高电场下不会产生高漏电流, 但会增大其在低电场下的漏电, 使绝缘层在低电场下的介电性能发生退化. 由于 Cycle-90—Cycle-270 TSV 样品是在低电场下计算的绝缘层势垒高度, 可以看出在低电场下势垒高度下降值保持在相对稳定的范围, 在此阶段, 绝缘层介电性能稳步退化, 由介电性能退化导致的漏电是 270 次前温度循环样品的失效机理. 由我们之前的研究发现, SiO_2 绝缘层势垒高度的下降, 是因为温度循环导致 TSV 界面 SiO_2 绝缘层出现热致缺陷累积, 介电性能劣化. 金属中的电子在温度和电场激发下更容易跃过肖特基势垒形成漏电流.

但随着温度循环次数增加到 300 次, 绝缘层势垒高度相较于 Cycle-270 TSV 样品增加了 0.12 eV, 介电性能随温度循环的退化并未出现在 Cycle-300 TSV 样品, 因为此时绝缘层出现由贯穿裂纹形成的空气间隙, 使漏电流减小, 其失效机制由漏电转变为机械开裂.

4 总 结

本文对经历不同温度循环次数后的 TSV 样品进行漏电流 I - V 测试, 通过 FIB-SEM 微观结构分析和 EDS 元素检测, 得到了 TSV 界面随温度循环次数增加的演变过程, 阐明了 TSV 界面完整性对铜扩散及 TSV 漏电流的影响, 厘清了 TSV 绝缘层漏电机制随电场强度的转变过程, 主要结论如下.

1) 当温度循环次数小于 60 次时, TSV 界面完整性较好, 随着温度循环次数从 60 次增至 270 次, TSV 界面萌生微孔洞和微裂纹, 这些缺陷为铜扩散到绝缘层提供通道, 在绝缘层中形成漏电路径, 导致 TSV 热致漏电流显著增加. 伴随温度循环继续增至 300 次, TSV 界面形成贯穿性裂纹, 阻碍了电子在 TSV-Cu 与 Si 基体间的流动, 使 TSV 漏电流骤减, TSV 失效模式由热致漏电转变为机械开裂.

2) 在温度循环次数较低 ($\leq$ Cycle-60) 时, 肖特基发射是 TSV 绝缘层的漏电机制. 随着温度循环次数的增加 ($\geq$ Cycle-90), 绝缘层漏电机制由单一的肖特基发射转变为肖特基发射与 P-F 发射机制的共同作用, 特别是在高电场条件下, Cu 扩散到绝缘层中形成陷阱态, 绝缘层中的高电场区域

通过 P-F 发射机制增大电子的发射率, 使 P-F 发射机制对漏电的贡献显著增大.

3) 随着温度循环次数的增加, TSV 绝缘层内出现热致缺陷累积, TSV 样品界面绝缘层的势垒高度下降, 绝缘层介电性能发生退化. 在 300 次温度循环后, TSV 从热致漏电失效转变为机械开裂, TSV 样品界面绝缘层的势垒高度增大.

参考文献

- [1] Wang Y K, Liu H Z, Huo L H, Li H B, Tian W C, Ji H Y, Chen S 2024 *Micromachines* **15** 422
- [2] Jang Y J, Sharma A, Jung J P 2023 *Materials* **16** 7652
- [3] Dong G, Wu W S, Yang Y T 2015 *Acta Phys. Sin.* **64** 026601 (in Chinese) [董刚, 武文珊, 杨银堂 2015 物理学报 **64** 026601]
- [4] Dong G, Liu D, Shi T, Yang Y T 2015 *Acta Phys. Sin.* **64** 176601 (in Chinese) [董刚, 刘荡, 石涛, 杨银堂 2015 物理学报 **64** 176601]
- [5] Fan Z W, Chen X, Wang Y S, Jiang Y, Zhang S F 2022 *Microelectron. Reliab.* **138** 114643
- [6] Kumari V, Chandrakar S, Verma S, Majumder M K 2023 *IEEE Trans. Compon. Packag. Manuf. Technol.* **13** 1734
- [7] Chan J M, Lee K C, Tan C S 2018 *IEEE Trans. Device Mater. Reliab.* **18** 520
- [8] Chan J M, Cheng X, Lee K C, Kanert W, Tan C S 2017 *IEEE International Reliability Physics Symposium (IRPS)* Monterey, CA, April 2–6, 2017 p4A
- [9] Chandrakar M, Majumder M K 2022 *IEEE Trans. Compon. Packag. Manuf. Technol.* **12** 1832
- [10] Gong T, Xie L L, Chen S, Lu X J, Zhao M R, Zhu J Y, Yang X F, Wang Z Z 2024 *Crystals* **14** 37
- [11] Shen Z S, Jing S Y, Heng Y Y, Yao Y F, Tu K N, Liu Y X 2023 *Appl. Phys. Rev.* **10** 021309
- [12] Nakamura T, Kitada H, Mizushima Y, Maeda N, Fujimoto K, Ohba T 2012 *IEEE 2011 International 3D Systems Integration Conference (3DIC)* Osaka, Japan, January 31–February 2, 2012 p1
- [13] Ranganathan N, Lee D Y, Youhe L, Lo G Q, Prasad K, Pey K L 2011 *IEEE Trans. Compon. Packag. Manuf. Technol.* **1** 1497
- [14] Lin Y, Tan C S 2018 *Jpn. J. Appl. Phys.* **57** 07MF01
- [15] Chen S, Jian X D, Li K, Li G Y, Wang Z Z, Yang X F, Wang H Y, Fu Z W 2023 *Microelectron. Reliab.* **141** 114889
- [16] Hung J F, Lau J H, Chen P S, Wu S H, Lai S J, Li M L, Sheu S S, Tzeng P J, Lin Z H, Ku T K, Lo W C, Kao M J 2012 *IEEE 62nd Electronic Components and Technology Conference (ECTC)* San Diego, CA, May 29–June 1, 2012 p564
- [17] Krause M, Altmann F, Schmidt C, Petzold M, Malta D, Temple D 2011 *IEEE 61st Electronic Components and Technology Conference (ECTC)* Lake Buena Vista, FL, May 31–June 3, 2011 p1452
- [18] Chiu F C 2014 *Adv. Mater. Sci. Eng.* **2014** 578168
- [19] Fowler R H, Nordheim L 1928 *Proc. R. Soc. London, Ser. A* **119** 173
- [20] Frenkel J 1938 *Phys. Rev.* **54** 647
- [21] Schottky W 1939 *Z. Phys.* **113** 367

Effects of temperature cycling on leakage mechanism of through-silicon via insulation layer*

REN Yunkun¹⁾²⁾ CHEN Si^{2)†} QIN Fei^{1)‡}

1) (*Institute of Electronics Packing Technology and Reliability, Beijing University of Technology, Beijing 100124, China*)

2) (*Science and Technology on Reliability Physics and Application of Electronic Component Laboratory, China Electronic Product Reliability and Environmental Testing Research Institute, Guangzhou 511300, China*)

(Received 30 September 2024; revised manuscript received 3 January 2025)

Abstract

Through-silicon via (TSV), as a key technology for realizing interconnections in three-dimensional integrated circuits (3D ICs), critically depends on the integrity of its sidewall interfaces to maintain optimal leakage characteristics. In this work, the temperature cycling experiments, incorporating leakage current I - V testing, microstructural observations are conducted, and the EDS elemental analysis is made to evaluate the effects of temperature cycling on the integrity of TSV sidewall interfaces and the leakage mechanisms in the insulation layer. The results indicate that as the number of temperature cycles increases, the alternating cyclic loads progressively degrade the integrity of the TSV barrier layer, transitioning from an intact interface to the formation of micro-voids and micro-cracks, which results in a significant increase in leakage current. When through-thickness cracks appear at the interface, a sudden decrease in leakage current occurs. The TSV failure mode is transforms from thermally induced leakage to mechanical cracking. The leakage mechanism of the insulation layer transforms from the Schottky emission mechanism (Cycle $\leq$ 60) into a combination of Schottky emission and Poole-Frenkel emission mechanisms (Cycle $\geq$ 90), and this transformation becomes more pronounced under high electric field conditions. Further analysis of TSV interface integrity reveals that thermomechanical stress induced by temperature cycling generates defects at the interface between the TSV copper fill and the barrier layer. As thermally induced defects accumulate, the barrier height of the insulation layer continuously decreases, making it easier for electrons in the metal to overcome the Schottky barrier under thermal and electric field excitation, thereby forming leakage currents. Moreover, these defects facilitate the diffusion of copper atoms into the insulation layer, thereby forming localized high electric field regions. These high-field regions in the insulation layer increase electron emission rates through the Poole-Frenkel emission mechanism, creating leakage paths. Therefore, copper diffusion emerges as one of the primary causes of dielectric performance degradation in the insulation layer.

Keywords: through silicon via, leakage mechanism, temperature cycling

PACS: 73.40.Qv, 73.40.-c, 77.22.-d

DOI: [10.7498/aps.74.20241381](https://doi.org/10.7498/aps.74.20241381)

CSTR: [32037.14.aps.74.20241381](https://cstr.cn/32037.14.aps.74.20241381)

* Project supported by the National Natural Science Foundation of China (Grant No. 61804032).

† Corresponding author. E-mail: chensiceprei@yeah.net

‡ Corresponding author. E-mail: qfei@bjut.edu.cn



温度循环对硅通孔绝缘层漏电机制的影响

任云坤 陈思 秦飞

Effects of temperature cycling on leakage mechanism of through-silicon via insulation layer

REN Yunkun CHEN Si QIN Fei

引用信息 Citation: *Acta Physica Sinica*, 74, 057301 (2025) DOI: 10.7498/aps.74.20241381

CSTR: 32037.14.aps.74.20241381

在线阅读 View online: <https://doi.org/10.7498/aps.74.20241381>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

温度对CoCrFeMnNi高熵合金冲击响应和塑性变形机制影响的分子动力学研究

Molecular dynamics study of temperature effects on shock response and plastic deformation mechanism of CoCrFeMnNi high-entropy alloys

物理学报. 2022, 71(24): 246101 <https://doi.org/10.7498/aps.71.20221621>

宇宙线高能粒子对测试质量充电机制

Mechanism of cosmic ray high-energy particles charging test mass

物理学报. 2021, 70(22): 229501 <https://doi.org/10.7498/aps.70.20210747>

通过Mo掺杂诱导低Li/Ni混排程度增强 $\text{Li}_{1.2}\text{Ni}_{0.13}\text{Fe}_{0.13}\text{Mn}_{0.54}\text{O}_2$ 可逆容量与循环稳定性

Enhancing reversible capacity and cycling stability of $\text{Li}_{1.2}\text{Ni}_{0.13}\text{Fe}_{0.13}\text{Mn}_{0.54}\text{O}_2$ by inducing low Li/Ni misalignment through Mo doping

物理学报. 2024, 73(2): 028201 <https://doi.org/10.7498/aps.73.20231361>

复合漏电模型建立及阶梯场板GaN肖特基势垒二极管设计

Establishment of composite leakage model and design of GaN Schottky barrier diode with stepped field plate

物理学报. 2022, 71(5): 057301 <https://doi.org/10.7498/aps.71.20211917>

中子辐射导致的SiC功率器件漏电增加特性研究

Study on characteristics of neutron-induced leakage current increase for SiC power devices

物理学报. 2023, 72(18): 186102 <https://doi.org/10.7498/aps.72.20230976>

晶格匹配InAlN/GaN异质结肖特基接触反向电流的电压与温度依赖关系

Voltage and temperature dependence of reverse leakage current of lattice-matched InAlN/GaN heterostructure Schottky contact

物理学报. 2021, 70(7): 077201 <https://doi.org/10.7498/aps.70.20201355>