

具有超低比导通电阻的双漂移区双导通路径 新型横向双扩散金属氧化物半导体

段宝兴[†] 任宇壕 唐春萍 杨银堂

(西安电子科技大学集成电路学部, 宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

(2024 年 11 月 5 日收到; 2025 年 2 月 17 日收到修改稿)

本文提出了一种具有双漂移区和双导通路径的新型横向双扩散金属氧化物半导体 (LDMOS) 器件, 实现了超低比导通电阻 ($R_{\text{on,sp}}$). 其漂移区采用 P 型和 N 型纵向交替所构成的双漂移区结构, 并引入平面栅和槽型栅分别控制 P 型和 N 型漂移区, 使得器件能够在漂移区中形成两条独立的电子导通或消失路径. 在对平面栅施加正向电压时, 可使 P 型漂移区的表面发生反型, 形成连接沟道和 N+漏极的高浓度电子反型层, 从而极大提高器件导通时的电子密度, 降低比导通电阻. 槽型栅极的引入可使器件在关断时产生一条额外的电子消失路径, 从而缩短器件的关断时间 (t_{off}). 此外, 由于引入 P 型漂移区, 使得电子在 P 型漂移区内输运时与其体内的空穴发生复合, 从而加快了电子的消失过程并进一步地缩短器件的 t_{off} . 仿真结果表明, 在 200 V 的击穿电压 (BV) 等级下, 本文所提出的新型 LDMOS 的 $R_{\text{on,sp}}$ 为 $3.43 \text{ m}\Omega\cdot\text{cm}^2$, 关断时间为 9 ns. 相比传统的 LDMOS 器件, $R_{\text{on,sp}}$ 和 t_{off} 分别下降了 90% 和 11.6%. 该器件不仅实现了 $R_{\text{on,sp}}$ 和 BV 的良好折中, 而且缩短了器件的 t_{off} , 展现出了优异的器件性能.

关键词: 双漂移区, 双导通路径, 比导通电阻, 击穿电压

PACS: 73.40.Ty, 85.30.Tv, 85.30.De

DOI: 10.7498/aps.74.20241554

CSTR: 32037.14.aps.74.20241554

1 引言

横向双扩散金属氧化物半导体 (LDMOS) 因其高集成度、高频率和低导通电阻的特点, 成为功率半导体器件中的重要组成部分, 在电源管理, 汽车电子等领域得到广泛应用^[1-5]. 由于传统的 LDMOS 器件的耐压主要由轻掺杂的漂移区来承担, 因此要实现高击穿电压 (BV), 就需要降低器件漂移区掺杂浓度或增大漂移区的长度, 然而这两种方法都会增大器件的比导通电阻 ($R_{\text{on,sp}}$). 因此, 器件的 $R_{\text{on,sp}}$ 与 BV 之间存在矛盾关系^[6-8].

为改善器件的 $R_{\text{on,sp}}$ 与 BV 之间的矛盾关系, 一方面可以从材料出发, 采用 SiC, GaN, Ga₂O₃ 等

宽禁带半导体材料, 由于宽禁带材料具有更高的临界击穿电场, 因此在相同的掺杂条件下器件可以承受更高的电压^[9,10], 但宽禁带半导体功率器件仍不适用于功率集成电路, 因其难以与硅基 CMOS 集成; 另一方面则是从器件结构出发, 采用减小表面电场技术 (RESURF)^[11-13]、横向变掺杂技术 (VLD)^[14,15]、埋层^[16,17] 和超结^[18,19] 等方法来优化器件内部结构, 实现优异的器件性能, 打破硅极限, 但以上结构主要适用于单沟道器件. 此外, 有相关研究报道了具有多数载流子积累的 LDMOS 器件, 通过引入半绝缘多晶硅 (SIPOS) 场板等结构使得在漂移区中形成较高浓度的电子积累层来降低器件的导通电阻, 实现器件 $R_{\text{on,sp}}$ 与 BV 之间的良好折中^[20,21]. 但是, 积累型器件导通时存在较多的自

[†] 通信作者. E-mail: bxduan@163.com

由载流子将显著降低器件的关断特性,进而影响器件的开关频率,不利于器件性能的进一步提升.

本文提出了一种具有 P/N 纵向交替的双漂移区 (PND) 以及双导通路径 (DP) 的 LDMOS 结构 (PND-DP LDMOS). 通过引入平面栅结构, 在对其施加正向电压 V_G 时, P 型漂移区表面发生反型, 形成能够连接沟道和 N+漏极的高浓度电子反型层, 从而提高导通时的电子密度, 有效降低器件导通电阻; 通过引入槽型栅结构, 使得器件能够在 N 型漂移区和 P 型漂移区分别形成独立的导通路径, 从而产生一条额外的电子消失路径, 提高器件的关断特性. 为验证本文所提出器件的输出特性、击穿特性和关断特性等电学特性, 本文采用 Sentaurus TCAD 软件^[22] 对其进行仿真模拟, 仿真中所用到的物理模型包括: 迁移率模型 (Doping Dependence, HighFieldSaturation, Enormal)、不完全电离模型、禁带宽度模型 (Slotboom)、载流子复合模型 (Shockley-Read-Hall, Auger) 以及雪崩击穿模型 (Okuto avalanche generation). 仿真结果表明, PND-DP LDMOS 在实现低导通电阻的同时缩短了器件的关断时间 (t_{off}), 实现优异的器件性能.

2 器件结构和机理

PND-DP LDMOS 的器件结构如图 1(b) 所示, 其与图 1(a) 所示的传统 LDMOS (Conv. LDMOS) 的区别在于引入了平面栅和槽型栅所构成的双栅结构以及 N/P 交替的双漂移区结构. 平面栅可实现对器件导通时电子浓度的调控, 对其施加正向电压时, 器件表面的顶层硅与 P 型漂移区之间产生一个电势差 ΔV , 使得 P 型漂移区表面发生反型, 形成连接沟道和 N+漏区的高浓度电子反型层, 从而提高导通时的电子密度, 显著降低器件 $R_{on,sp}$. 槽型栅极的引入可使器件在关断时会产生一条额外的电子消失路径, 从而缩短器件的 t_{off} . 此外, 由于采用了 P 型漂移区, 电子在其内部输运时与空穴发生复合, 加快了电子的消失过程, 进一步缩短了器件的 t_{off} . 在 N+漏区下方引入 N 型缓冲层, 一方面其可以接收槽型栅极所控制的电流到漏极, 另一方面可以调制器件的纵向电场, 提升器件的纵向耐压能力. 为了讨论漂移区类型对器件性能的影响, 本文提出的另一种具有双导通路径的积累型

LDMOS 结构 (NND-DP LDMOS), 其与 PND-DP LDMOS 的区别在于, PND-DP LDMOS 的漂移区为 N 型和 P 型纵向交替的结构, 而 NND-DP LDMOS 为双 N 型漂移区, 如图 1(c) 所示. 图 2 所示为两种器件的工作机理, 由于双漂移区、槽型栅和平面栅的引入, 使得器件可以形成两条电子的导通和消失路径 (I_1 , I_2). 但两者的 I_1 所产生的机理不同, 对于 PND-DP LDMOS 其 I_1 的产生的机理为反型, 如图 2(a) 所示. 而 NND-DP LDMOS 为积累, 如图 2(b) 所示. 优化后的传统 LDMOS 器件 (CONV LDMOS) 与本文所提出的 PND-DP LDMOS 和 NND-DP LDMOS 器件的参数如表 1 所示.

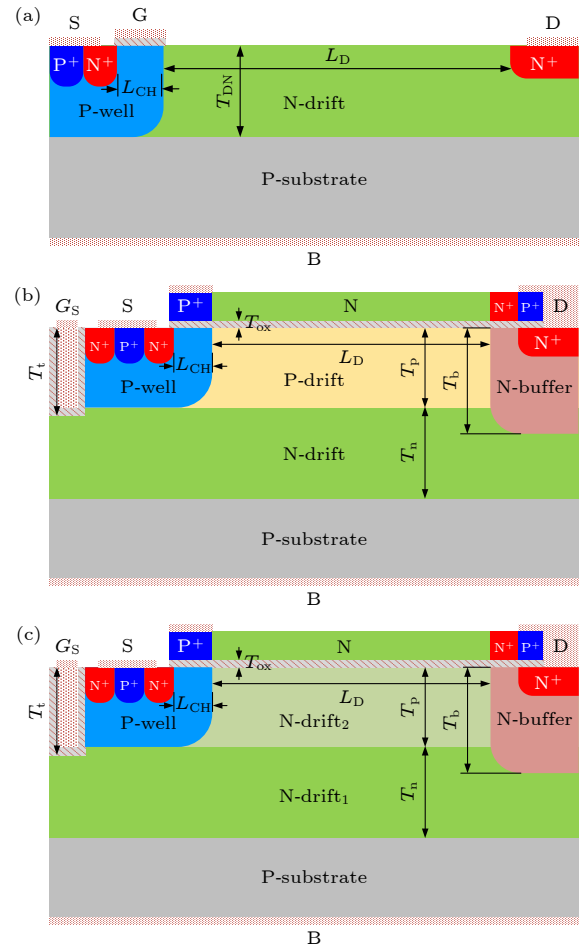


图 1 器件结构图 (a) 传统 LDMOS; (b) PND-DP LDMOS; (c) NND-DP LDMOS

Fig. 1. Schematic cross-section: (a) Conventional LDMOS; (b) PND-DP LDMOS; (c) NND-DP LDMOS.

图 3 所示为制备 PND-DP LDMOS 器件的工艺流程. 选择 P 型硅衬底并外延 N 型外延层形成 N 型漂移区 (图 3(a)). 在外延层表面注入硼离子

形成 P 型漂移区 (图 3(b)). 通过氧注入隔离技术或直接键合技术制作薄层的硅衬底 (图 3(c)). 通过选择性刻蚀, 刻蚀出源漏的位置. 刻蚀出硅槽并在其内部热生长一层二氧化硅栅介质层 (如图 1(d) 所示). 利用双扩散技术形成沟道, 并在漏极区域扩

散形成 N 型缓冲层 (图 3(e)). 在 N 型顶层硅中离子注入形成 N+区以阻挡器件导通时顶层硅中的空穴电流 (图 3(f)). 通过离子注入分别在顶层硅和 Pwell 中形成 P+区 (图 3(g)). 在源极、漏极、平面栅极和槽型栅极区域淀积金属 (图 3(h)).

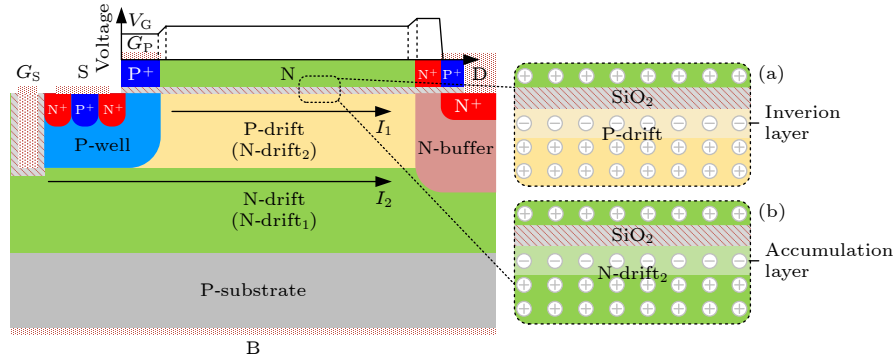


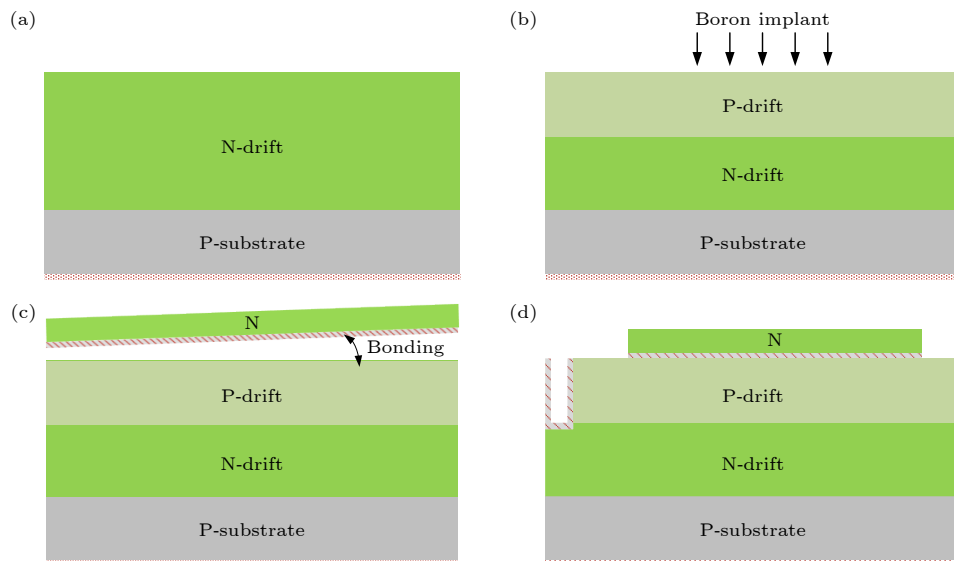
图 2 器件工作原理图 (a) PND-DP LDMOS; (b) NND-DP LDMOS

Fig. 2. Schematic of the proposed devices operation: (a) PND-DP LDMOS; (b) NND-DP LDMOS.

表 1 器件仿真中的关键参数

Table 1. Key parameters of devices' simulation.

参数符号	参数含义	传统	PND-DP	NND-DP
$T_{ox}/\mu\text{m}$	氧化层厚度	0.1	0.1	0.1
$L_D/\mu\text{m}$	漂移区长度	20	8.5	8.5
$T_{DP}/T_{DN2}/\mu\text{m}$	P-drift(N-drift ₂)的厚度	2	2	2
$T_{DN}/T_{DN1}/\mu\text{m}$	N-drift(N-drift ₁)的厚度	—	3	3
$T_b/\mu\text{m}$	N-buffer的厚度	—	3.5	3.5
$L_{CH}/\mu\text{m}$	沟道长度	1.5	1.5	1.5
$T_t/\mu\text{m}$	槽栅的深度	—	2.1	2.1
$N_{DP}/N_{DN2}/\text{cm}^{-3}$	P-drift(N-drift ₂)的掺杂浓度	—	1×10^{15}	1×10^{15}
$N_{DN}/N_{DN1}/\text{cm}^{-3}$	N-drift(N-drift ₁)的掺杂浓度	7.5×10^{15}	2.5×10^{15}	1.5×10^{15}
N_{top}/cm^{-3}	N-top的掺杂浓度	—	1×10^{15}	1×10^{15}
N_{sub}/cm^{-3}	衬底的掺杂浓度	3×10^{14}	3×10^{14}	3×10^{14}



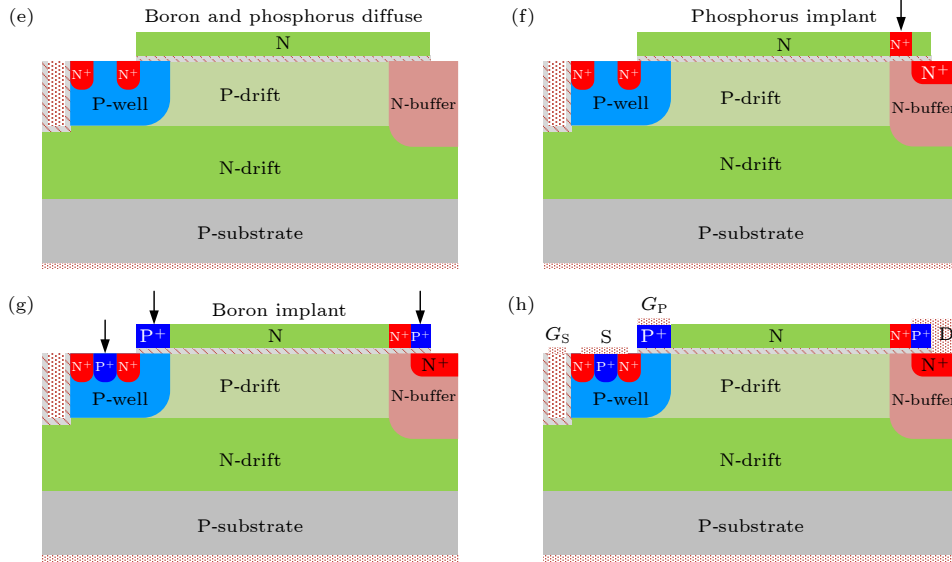


图3 PND-DP LDMOS 器件工艺流程图

Fig. 3. The fabricate process of PND-DP LDMOS.

3 结果和讨论

图4所示为本文所提出器件与传统器件的输出特性曲线. 可以看到, 在相同的栅极电压下 (V_G), 本文所提出的 PND-DP LDMOS 和 NND-DP LDMOS 器件输出特性曲线的斜率明显大于传统的 LDMOS, 表明本文所提出的器件具有更小的导电电阻, 且具有更高的饱和电流. 这是因为平面栅的引入, 当施加正向的栅极电压时, 顶层多晶硅会传导栅极的电势, 使得所提出器件的漂移区表面的顶层硅也会具有较高的电势, 从而 P 型漂移区 (N 型漂移区) 体内的电子会被牵引到表面, 反型 (积累) 出一层连接源区和漏区的高浓度的电子薄层, 其浓度可达到 10^{17} cm^{-3} , 远高于传统器件导通时的电子密度, 因此所提出器件具有较高的饱和电

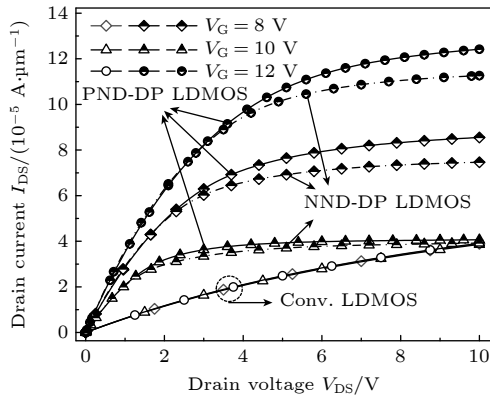


图4 器件输出特性曲线

Fig. 4. The I_D - V_d curve of these three devices.

流以及超低的 $R_{on,sp}$.

图5所示为 PND-DP LDMOS 和 NND-DP LDMOS 器件的电子分布图. 器件漂移区的表面形成了极高浓度的电子层, 其浓度远高于体内的电子浓度. 此外, 栅极电压可对其浓度进行调控, 随着 V_G 的增大, 漂移区表面的电子浓度也随之提高. 当 V_G 由 8 V 增大到 12 V, PND-DP LDMOS 漂移区表面的电子浓度由 $3 \times 10^{17} \text{ cm}^{-3}$ 提高到 $1 \times 10^{18} \text{ cm}^{-3}$, $R_{on,sp}$ 从 $4.53 \text{ m}\Omega \cdot \text{cm}^2$ 降低到 $2.41 \text{ m}\Omega \cdot \text{cm}^2$, 减小了 47%. 因此 PND-DP LDMOS 和 NND-DP LDMOS 的导通状态与 V_G 的变化密切相关, 其栅极对器件导通性能的调控作用明显高于传统器件.

图6所示为器件的电压击穿曲线. 在相同的 200 V 耐压等级下, PND-DP LDMOS 和 NND-DP LDMOS 器件相比于传统的 LDMOS 具有更短的漂移区长度. 这是因为顶层硅会对其下方区域进行电场调制, 使得表面电场分布更为均匀. 从图7(a)可以看到, PND-DP LDMOS 和 NND-DP LDMOS 器件的表面电场分布相对于 Conv. LDMOS 更趋近于一个矩形 (理想的电场分布). 从图6(b)可以看到, BV 的峰值在顶层硅掺杂浓度与其下方的漂移区掺杂浓度相近时得到, 此时顶层硅和漂移区的电势线基本垂直于器件表面且分布地更为均匀, 如图6(a)所示. 此外, N 型缓冲层的引入一方面其可以接收槽型栅极所控制的电流到漏极, 另一方面可以调制器件的纵向电场, 如图7(b)所示, 相比于 Conv. LDMOS, PND-DP LDMOS 和 NND-DP

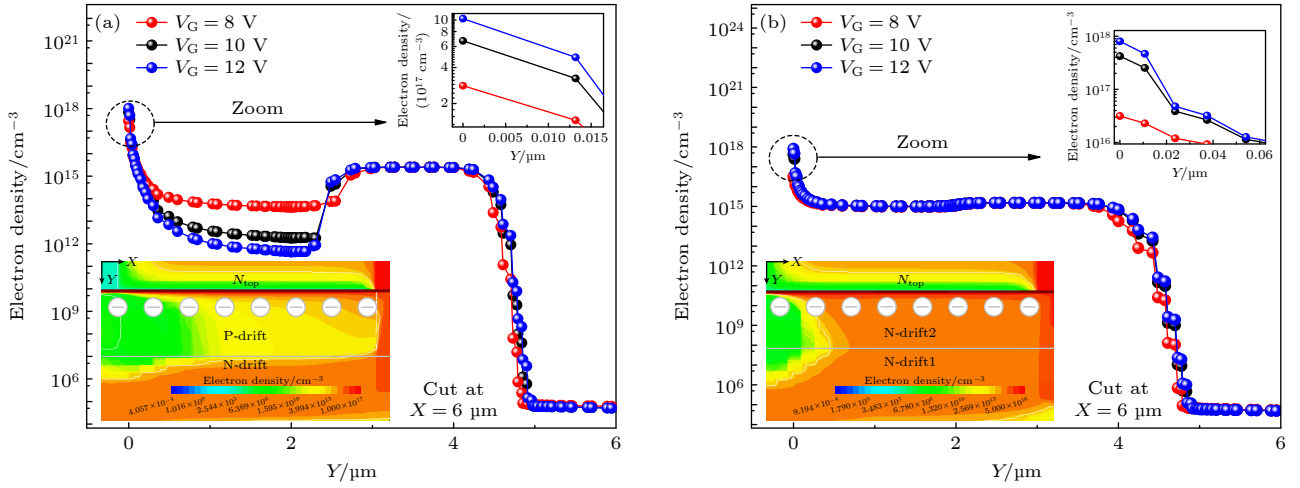


图 5 器件漂移区电子浓度分布曲线 (a) PND-DP LDMOS; (b) NND-DP LDMOS

Fig. 5. Distribution of the drift electron density: (a) PND-DP LDMOS; (b) NND-DP LDMOS.

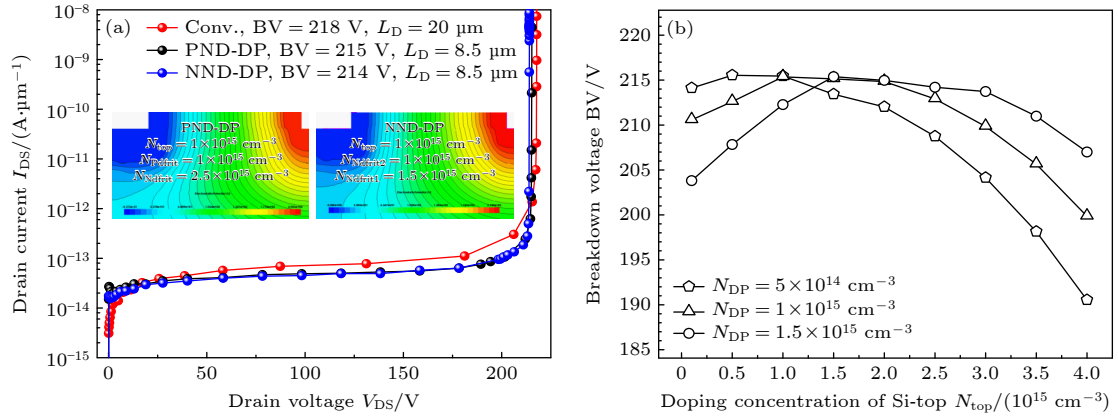

 图 6 (a) 击穿特性曲线; (b) N_{top} 对器件击穿特性的影响

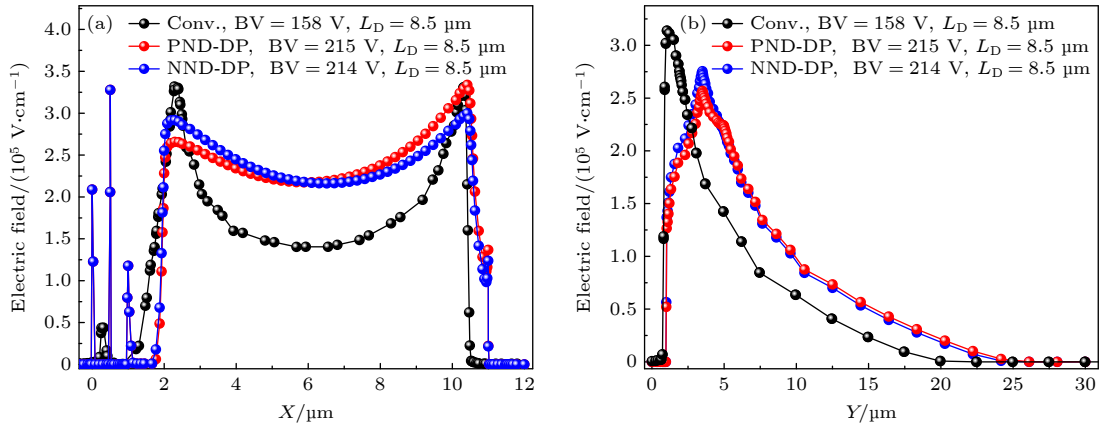
 Fig. 6. (a) Breakdown characteristic curve; (b) the impact of N_{top} on device breakdown characteristics.


图 7 器件电场分布图 (a) 横向电场; (b) 纵向电场

Fig. 7. Device electric field distribution: (a) Lateral electric field; (b) vertical electric field.

LDMOS 的纵向电场峰值由表面移动到了体内, 提高了器件的纵向耐压能力.

图 8 所示为 N 型漂移区掺杂浓度 (N_{DN}) 对器件导通电阻、击穿电压的影响. 可以看到, Conv.

LDMOS, PND-DP LDMOS 和 NND-DP LDMOS 的 $R_{on,sp}$ 和 BV 随着 N_{DN} 的增大均呈现先增大后减小的趋势. 从图 8(a) 可以看到, 在 BV 等级为 200 V 的情况下, PND-DP LDMOS 和 NND-DP

LDMOS 具有更小的 N_{DN} . NND-DP LDMOS 的 N_{DN} 相比于 PND-DP LDMOS 的更小, 这是因为 PND-DP LDMOS 的漂移区为 N/P 纵向交替结构, 上方的 P 型漂移区可以辅助耗尽其下方的 N 型漂移区, 因此 PND-DP LDMOS 最终优化后的 N_{DN} 略大. 从图 8(b) 可以看到, 尽管 PND-DP LDMOS 和 NND-DP LDMOS 的 N_{DN} 掺杂远小于 Conv. LDMOS, 但其仍具有超低的 $R_{\text{on,sp}}$ 且其随 N_{DN} 的变化波动不大, 这是因为这两个器件的 $R_{\text{on,sp}}$ 主要依赖于 V_G 的控制, 有效削弱了器件 $R_{\text{on,sp}}$ 对漂移区掺杂的依赖, 得到了更高的 FOM (figure of merit, $\text{FOM} = \text{BV}^2/R_{\text{on,sp}}$) [23–26]. 当 L_D 为 $8.5 \mu\text{m}$, V_G 为 10 V 时, PND-DP LDMOS 和 NND-DP LDMOS 的 BV 为 215 和 214 V , $R_{\text{on,sp}}$ 为 $3.43, 3.38 \text{ m}\Omega\cdot\text{cm}^2$, FOM 为 $13.31 \text{ MW}/\text{cm}^2$, $13.11 \text{ MW}/\text{cm}^2$. 与相同耐压等级的 Conv. LDMOS 相比, $R_{\text{on,sp}}$ 分别降低了 90% , 91% , FOM 提高了 10 倍. 图 9 和表 2 展示了本文提出的 PND-DP LDMOS 与其他器件 [27–34] $R_{\text{on,sp}}$ -BV 的对比及其具体参数, 可以看到 PND-DP LDMOS 远优于 Triple RESURF, 其进一步证明了本文所提出器件在 $R_{\text{on,sp}}$ 和 BV 之间实现了优异的折中关系.

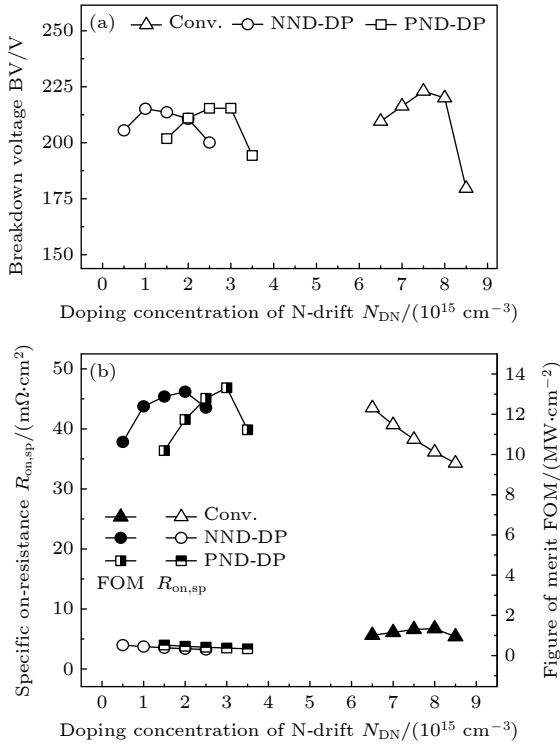


图 8 N-drift 对器件性能的影响 (a) BV; (b) $R_{\text{on,sp}}$; (c) FOM
Fig. 8. The impact of N-drift on device performance: (a) BV; (b) $R_{\text{on,sp}}$; (c) FOM.

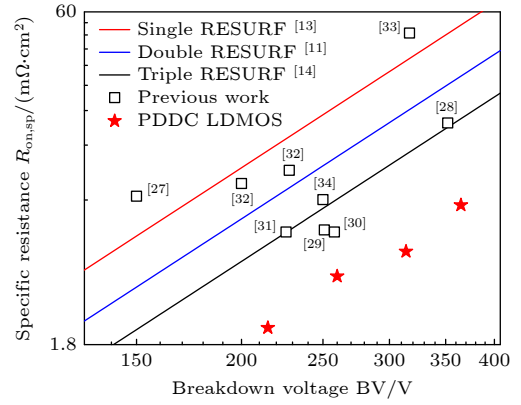


图 9 本文所提出的 PND-DP LDMOS 与其他器件的 $R_{\text{on,sp}}$ -BV 比较
Fig. 9. Comparison of $R_{\text{on,sp}}$ -BV between the proposed PND-DP LDMOS and others.

表 2 PND-DP LDMOS 与其他器件的 $R_{\text{on,sp}}$, BV, FOM
Table 2. $R_{\text{on,sp}}$, BV, and FOM of PND-DP LDMOS compared with other devices.

Refs.	$R_{\text{on,sp}}/(\text{m}\Omega\cdot\text{cm}^2)$	BV/V	FOM/ $(\text{MW}\cdot\text{cm}^{-2})$
[23]	8.6	150	2.6
[24]	18.6	352	6.7
[25]	6.1	251	10.3
[26]	5.9	258	11.3
[27]	5.9	226	8.7
[28]	11.3	225	4.5
[29]	48	317	2.1
[30]	8.3	250	7.5
This work	3.4	215	13.3
	5.1	260	13.4
	7.6	314	13.0
	12.1	365	11.0

在仿真中, 采用图 10(a) 所示的电路研究了 3 种器件的关断特性. 图 10(b) 为仿真所得到的关断特性曲线. 可以看到, PND-DP LDMOS 和 NND-DP LDMOS 的相比于 Conv. LDMOS 具有更短的关断时间. 这是因为, 其漂移区采用双漂移区以及双栅的结构, 使器件在关断时可产生一条额外的电子消失路径, 从而加快了电子的消失, 此外, 从图 10(b) 可以看到 PND-DP LDMOS 的关断特性优于 NND-DP LDMOS, 这是因为 PND-DP LDMOS 第 2 个漂移区为 P 型, 使得电子在 P 型漂移区内输运时与空穴发生复合, 从而进一步地缩短了 PND-DP LDMOS 的 t_{off} . 相比于 Conv. LDMOS, PND-DP LDMOS 和 NND-DP LDMOS 的 t_{off} 分别减小了 11.6% , 8.0% .

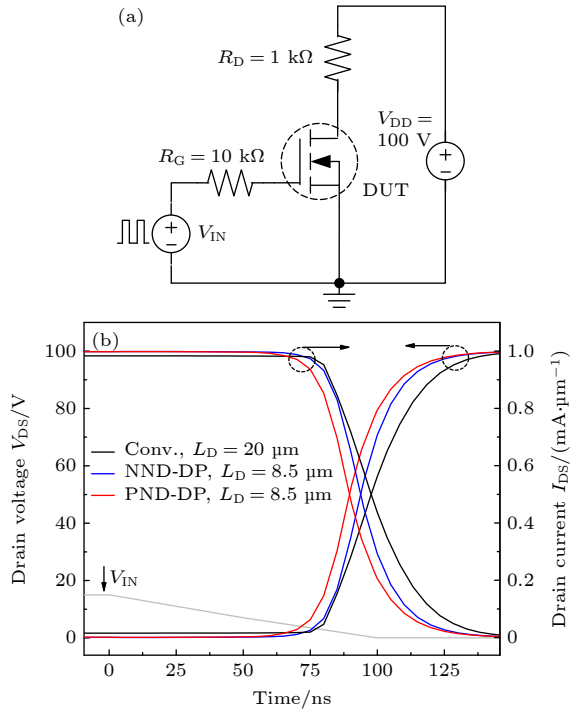


图 10 器件动态特性 (a) 测试电路结构; (b) 关断特性曲线
Fig. 10. Device dynamic characteristics: (a) Test circuit structure; (b) turn-off characteristic curve.

4 结 论

本文提出了一种具有双漂移区和双导通路径的新型 LDMOS 器件, 通过 N 型和 P 型纵向交替的双漂移区结构、槽型栅和平面栅构成的双栅设计, 使得器件可以在漂移区内产生了两条独立的电子导通和消失路径, 在实现了器件 $R_{on,sp}$ 和 BV 之间的优异折中的同时缩短了器件的关断时间. 为了讨论所以引入双漂移区的类型对器件性能的影响并与 PND-DP LDMOS 进行对比, 提出了 NND-DP LDMOS, 从仿真结果可以看到, 两者的 $R_{on,sp}$ 和 BV 的差别不大, 但 PND-DP LDMOS 具有更好的关断特性. L_D 为 $8.5 \mu\text{m}$, V_G 为 10 V 时, PND-DP LDMOS 的 BV, $R_{on,sp}$ 和 t_{off} 分别为 215 V, $3.43 \text{ m}\Omega\cdot\text{cm}^2$, 9 ns, 相较于 Conv. LDMOS 器件导通电阻降低了 90%, 关断时间缩短了 11.6%.

参考文献

[1] Kong M, Yi B, Zhang B 2019 *IEEE T. Electron. Dev.* **66** 592
[2] Disney D, Chan W, Lam R, Blattner R, Ma S, Seng W, Chen J W, Cornell M, Williams R 2008 *20th International Symposium on Power Semiconductor Devices and IC's* Orlando, FL, USA, May 18–22, 2008 pp24–27

[3] Sun W, Shi L, Sun Z, Yi Y, Li H, Lu S 2006 *IEEE T. Electron. Dev.* **53** 891
[4] Erlbacher T, Bauer A J, Frey L 2010 *IEEE Electron Device Lett.* **31** 464
[5] Qiao M, Li Y, Zhou X, Li Z, Zhang B 2014 *IEEE Electron Device Lett.* **35** 774
[6] Baliga B J 2001 *Proc. IEEE* **89** 822
[7] Efland T R, Tsai C Y, Pendharkar S 1998 *International Electron Devices Meeting 1998* San Francisco, CA, USA, December 6–9, 1998 pp679–682
[8] Li M, Chen D, Jung D S, Shi X 2019 *2019 China Semiconductor Technology International Conference* Shanghai, China, March 17–18, 2019, pp1–3
[9] Baliga B J 2023 *Springer Handbook of Semiconductor Devices* (Cham: Springer Nature) pp491–523
[10] Baliga B J 2019 *Fundamentals of Power Semiconductor Devices* (Cham: Springer International Publishing)
[11] Appels J A, Vaes H M J 1979 *1979 International Electron Devices Meeting* December, 1979, pp238–241
[12] Hossain Z 2008 *2008 20th International Symposium on Power Semiconductor Devices and IC's* Orlando, FL, USA, May 18–22, 2008 pp133–136
[13] Xiarong H, Bo Z, Xiaorong L, Guoliang Y, Xi C, Zhaoji L 2011 *J. Semicond.* **32** 074006
[14] Hardikar S, Tadikonda R, Green D W, Vershinin K V, Narayanan E M S 2004 *IEEE T. Electron. Dev.* **51** 2223
[15] Stengl R, Gosele U 1985 *1985 International Electron Devices* Washington, DC, USA, December 1–4, 1985 pp154–157
[16] Duan B, Xing L, Wang Y, Yang Y 2022 *IEEE T. Electron. Dev.* **69** 658
[17] Chen Y, Hu S, Cheng K, Jiang Y, Luo J, Wang J, Tang F, Zhou X, Zhou J, Gan P 2016 *Micro. Nanostructures* **89** 59
[18] Fujihira T 1997 *Jpn. J. Appl. Phys.* **36** 6254
[19] Chen X B 2000 *Chin. J. Electron.* **9** 6
[20] Baliga B J, Syau T, Venkatraman P 1992 *IEEE Electron Device Lett.* **13** 427
[21] Wang Y D, Duan B X, Song H T, Yang Y T 2021 *IEEE T. Electron. Dev.* **68** 2414
[22] Inc. Synopsys 2016 Sentaurus™ Device User Guide Verison L-2016.03
[23] Chen W Z, Qin H F, Zhang H S, Han Z S 2022 *IEEE T. Electron. Dev.* **69** 1900
[24] Zhou K, Luo X R, Li Z J, Zhang B 2015 *IEEE T. Electron. Dev.* **62** 3334
[25] Cao Z, Sun Q, Zhang H W, Wang Q, Ma C F, Jiao L C 2022 *Micromachines* **13** 843
[26] Cheng J, Zhang B, Li Z 2008 *IEEE Electron Device Lett.* **29** 645
[27] Chen Y M, Lee C L, Tsai M H, Lee C T, Wang C C 2018 *IEEE 30th International Symposium on Power Semiconductor Devices and IC's* Chicago, IL, USA, May 13–17, 2018 pp331–334
[28] Zhang S, Tuan H C, Wu X J, Shi L, Wu J 2016 *Microelectron. Reliab.* **61** 125
[29] Chen W, Pjencak J, Agam M, Janssens J, Jerome R, Menon S, Griswold M 2021 *2021 33rd International Symposium on Power Semiconductor Devices and IC's* Nagoya, Japan, May 30–June 03, 2021 pp287–290
[30] Qiao M, Liu W, Yuan L, Xu P, Ma C, Lin F, Liu K, Guo Y, Lin Z, Zhang S, Zhang B 2022 *2022 IEEE 34th International Symposium on Power Semiconductor Devices and IC's* Vancouver, BC, Canada, May 22–25, 2022 pp149–152
[31] Kong M, Yi B, Chen X 2019 *2019 IEEE 13th International*

Conference on Power Electronics and Drive Systems
Toulouse, France, July 09–12, 2019 pp1–4

[32] Fan J, Wang Z G, Zhang B, Luo X R 2013 *Chin. Phys. B* **22** 048501

[33] Honarkhah S, Nassif-Khalil S, Salama C A T 2004

Proceedings of the 30th European Solid-State Circuits Conference Leuven, Belgium, September 23, 2004 pp117–120

[34] Hölke A, Antoniou M, Udrea F 2020 *2020 32nd International Symposium on Power Semiconductor Devices and ICs* Vienna, Austria, September 13–18, 2020 pp435–438

A novel LDMOS with dual-drift region and dual-conduction path with ultra-low specific on-resistance

DUAN Baoxing[†] REN Yuhao TANG Chunping YANG Yintang

(Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices,

School of Microelectronics, Xidian University, Xi'an 710071, China)

(Received 5 November 2024; revised manuscript received 17 February 2025)

Abstract

In order to improve the contradictory between specific on-resistance ($R_{\text{on,sp}}$) and breakdown voltage (BV) of lateral double-diffused metal oxide semiconductor (LDMOS) and enhance the turn-off characteristic, this paper proposes a novel LDMOS device with dual-drift regions and dual-conduction paths, which achieves an ultra-low $R_{\text{on,sp}}$. The key feature of the proposed device is the introduction of a dual-drift region structure with alternating P-type and N-type regions, combined with planar and trench gates to control the P-type and N-type drift regions, respectively. This configuration enables the formation of two independent electron conduction paths within the drift region. When a positive voltage is applied to the planar gate, a voltage difference is generated between the surface of the P-type drift region and the body of device's drift. Therefore, under the influence of the voltage difference, the electrons are pulled to the surface of the P-type drift region to invert and form a high-density electron inversion layer that connects the channel and the N+ drain, significantly increasing the electron density during conduction and reducing the $R_{\text{on,sp}}$. The introduction of the trench gate provides an additional electron disappearance path, which shortens the device's turn-off time (t_{off}). Furthermore, the introduction of the P-type drift region facilitates the recombination of electrons with holes within the P-type drift region, accelerating the electron disappearance process and further reducing the device's t_{off} . Furthermore, the proposed device exhibits a more uniform electric field distribution and higher voltage capability is due to the P+N-N+P+ structure adopted in the PolySi-top layer. During the off-state, both the P+N- junctions and the N+P+ junctions generate electric field peaks at the interfaces. These peaks modulate the electric field distribution across the surface of the drift region. Simulation results indicate that at the BV with a level of 200V, the proposed LDMOS exhibits an $R_{\text{on,sp}}$ of 3.43 mΩ·cm² and a t_{off} of 9 ns. Compared with conventional LDMOS devices, the proposed LDMOS possesses a 90% reduction in $R_{\text{on,sp}}$ and an 11.6% decrease in t_{off} . The proposed device not only achieves an excellent trade-off between $R_{\text{on,sp}}$ and BV but also shortens the t_{off} , demonstrating that the device achieves superior performance.

Keywords: dual-drift, dual-conduction paths, specific on-resistance, breakdown voltage

PACS: 73.40.Ty, 85.30.Tv, 85.30.De

DOI: 10.7498/aps.74.20241554

CSTR: 32037.14.aps.74.20241554

[†] Corresponding author. E-mail: bxduan@163.com



具有超低比导通电阻的双漂移区双导通路径新型横向双扩散金属氧化物半导体

段宝兴 任宇壕 唐春萍 杨银堂

A novel LDMOS with dual-drift region and dual-conduction path with ultra-low specific on-resistance

DUAN Baoxing REN Yuhao TANG Chunping YANG Yintang

引用信息 Citation: *Acta Physica Sinica*, 74, 087301 (2025) DOI: 10.7498/aps.74.20241554

CSTR: 32037.14.aps.74.20241554

在线阅读 View online: <https://doi.org/10.7498/aps.74.20241554>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

衬底浮空的新型绝缘体上硅基横向功率器件分析

Analysis of novel silicon based lateral power devices with floating substrate on insulator

物理学报. 2021, 70(14): 148501 <https://doi.org/10.7498/aps.70.20202065>

电荷耦合效应对高耐压沟槽栅极超势垒整流器击穿电压的影响

Effect of charge coupling on breakdown voltage of high voltage trench-gate-type super barrier rectifier

物理学报. 2021, 70(6): 067301 <https://doi.org/10.7498/aps.70.20201558>

高压氦气平行极板击穿电压及场致发射的影响

Breakdown voltage of high pressure helium parallel plates and effect of field emission

物理学报. 2021, 70(13): 135102 <https://doi.org/10.7498/aps.70.20210086>

复合漏电模型建立及阶梯场板GaN肖特基势垒二极管设计

Establishment of composite leakage model and design of GaN Schottky barrier diode with stepped field plate

物理学报. 2022, 71(5): 057301 <https://doi.org/10.7498/aps.71.20211917>

新型载流子积累的逆导型横向绝缘栅双极晶体管

Novel carrier accumulation reverse-conducting lateral insulated gate bipolar transistor

物理学报. 2024, 73(15): 157301 <https://doi.org/10.7498/aps.73.20240572>

内嵌横向PNP晶体管的新型静电放电双向防护器件

Novel dual-direction electrostatic discharge device with lateral PNP transistor

物理学报. 2022, 71(23): 238501 <https://doi.org/10.7498/aps.71.20220824>