面向后摩尔 Ge-CMOS 制造的超薄高介电常数 LaLuO₃ 栅介质工艺研究^{*}

唐晓雨† 刘玉杰 花涛

(南京工程学院通信与人工智能学院、集成电路学院,南京 211167)

(2025年1月26日收到; 2025年2月22日收到修改稿)

IV 族元素锗材料由于具有电子和空穴迁移率高、禁带宽度小、与硅工艺相兼容等优势,在低功耗高迁移 率场效应晶体管领域具有广泛的应用潜力,相应的 Ge 基金属-氧化物-半导体场效应晶体管 (MOSFET) 技术 成为延续摩尔 (more Moore) 和超越摩尔 (more than Moore) 技术领域的前沿研究热点.面向高迁移率的 Ge 基晶体管制备,高质量栅极氧化物工艺是关键.而高介电常数的 Ge 基栅极氧化物可以在提高栅控能力的同时, 有效降低器件栅极漏电,提升器件的性能.稀土系氧化物 LaLuO₃ 介电常数较高,并且晶化温度高,是制备 Ge 基 MOSFET 栅介质的优选方案.本文通过磁控溅射技术制备 Ge 基氧化物 LaLuO₃ 介质,并系统研究了退火工 艺的气体种类、压强等氛围条件对 Ge MOS 栅电容特性的影响,揭示了常压氧气氛围退火可以改善器件栅电容 迟滞现象,但存在栅界面层厚度增大的问题;通过进一步发展基于高压低氧含量 (0.1% O₂) 气体氛围退火技术, 在修复 LaLuO₃/Ge 界面缺陷并减少氧空位产生的同时,实现了极低的等效氧化层厚度 (1.8 nm),相应的 LaLuO₃/ Ge MOS 结构电容-电压曲线迟滞仅为 40 mV,为 Ge MOSFET 提供了高性能 LaLuO₃/Ge 栅极工艺方案.

关键词: Ge 基金属-氧化物-半导体场效应晶体管, 栅极结构工艺, 稀土氧化物, 高介电常数
 PACS: 68.35.bg, 77.55.dj, 85.35.-p, 73.61.-r
 DOI: 10.7498/aps.74.20250126

1 引 言

半导体器件小型化可以实现性能的稳步提升 以及成本的不断降低,已持续推动集成电路产业按 照摩尔定律发展了数十年.然而,当器件尺寸减小 到亚微米级别后,短沟道效应和栅极量子隧穿问题 已经成为制约性能提升的重要因素.越来越多的新 材料 (例如 III-V 族材料、锗 (Ge) 材料、二维材料 等)^[1-6]、新结构 (鳍式场效应晶体管 FinFET、纳米 线等)^[7-9]和新机理 (热发射级晶体管、隧穿晶体 管、负电容场效应晶体管等)^[10-13] 被提出.其中, IV 族锗材料因为具有高电子和空穴迁移率而受到 广泛关注^[14-16].关于锗基金属-氧化物-半导体效应 晶体管 (metal-oxide-semiconductor field effect transistor, MOSFET)的研究包含了栅极堆叠结 构 (gate stack)、源漏工程、锗衬底制备等方面^[17-19]. 其中,栅极堆叠结构特别是栅介质厚度、栅介质/ 锗界面质量直接影响 Ge MOSFET 的栅极控制能 力以及器件稳定性,进而影响器件基本的转移和输 出特性,是 Ge MOSFET 技术中最核心的瓶颈问 题之一.

前期,氧化锗 (GeO₂) 作为 Ge 的氧化物,被广 泛应用于 Ge 晶体管的栅极氧化物研究中^[20,21]. 然

^{*} 国家自然科学基金(批准号: 62104102)和南京工程学院引进人才基金(批准号: YKJ201827)资助的课题.

[†] 通信作者. E-mail: xiaoyutang@njit.edu.cn

^{© 2025} 中国物理学会 Chinese Physical Society

而, GeO2 材料热稳定性差、容易水解, 同时相应制 备的 GeO_2/Ge 结构存在 GeO 析出、氧空位缺陷、 GeO2 晶化等系列问题^[22-24].以及, GeO2 的介电常 数不高, 而在纳米尺寸 Ge 基 MOSFET 器件的制 备过程中,采用高介电常数栅极氧化层对于实现高 栅控能力和低栅极漏电十分重要.稀土系氧化物, 例如镧镥氧化物 (LaLuO₃) 具有较高的介电常数和 结晶温度^[25,26],已被作为Ge基栅极氧化物进行广 泛研究^[27-29]. 然而, LaLuO3 薄膜中存在的氧空位 缺陷^[30]容易通过捕获载流子而带来器件阈值电压 偏移问题,以及造成迁移率下降等一系列问题.通 过对 LaLuO3 薄膜进行后退火处理可以有效改善 这一现象[31,32],特别是采用高压氧气氛围下的后退 火工艺可以实现 LaLuO₃/Ge 栅氧化层质量的提升. 但是高压氧气氛围下的后退火工艺容易在 LaLuO3 和 Ge 界面处引入较厚的氧化锗, 直接限制等效氧 化层厚度 (equivalent oxide thickness, EOT) 的微 缩化进程,带来器件栅控能力的下降.相应地,高 质量超薄 LaLuO₃/Ge 栅极结构制备工艺对于高性 能 Ge 基 MOSFET 技术发展具有重要支撑意义.

本文在磁控溅射生长 Ge 基 LaLuO₃ 薄膜工艺 的基础上,系统探索并研究了氮气、氧气以及氮氧 混合气体 (N₂:O₂ = 0.999:0.001) 3 种不同退火氛 围下 LaLuO₃/Ge MOS 结构电学特性的差异,并 进一步比较了常压退火和高压退火工艺的影响规 律.通过制备 Au/LaLuO₃/Ge/Al 结构的 MOS 电 容,本工作相应发展了基于高压低氧含量 (0.1% O₂) 氛围退火技术,可以在修复 LaLuO₃/Ge 界面缺 陷并减少氧空位产生的同时,实现极低的 EOT (1.8 nm),以及迟滞电压仅为 40 mV 的理想 LaLu O₃/Ge MOS 结构,为 Ge MOSFET 提供了高性 能 LaLuO₃/Ge 栅极工艺方案.

2 实验方法

锗基 LaLuO₃ 的制备采用 P 型 Ge 衬底, 晶面 方向是 (111), 掺杂浓度为 1×10^{16} cm⁻³, 具体工艺 流程和电容结构如图 1 所示. 首先, 将 Ge 衬底分 别使用丙酮、稀盐酸进行清洗, 去除表面颗粒物、 杂质和自然氧化层, 然后放入磁控溅射设备中, 抽 真空到 6×10^{-6} Pa. LaLuO₃ 薄膜采用纯度为 99.9% 的 2 in (1 in = 2.54 cm) La₂O₃ 和 Lu₂O₃ 靶材, 放 在两个射频溅射靶位上,在真空腔体中共同溅射的 方式获得,其中对La2O3 靶材使用溅射功率 30 W, Lu2O3 靶材使用溅射功率 40 W. 溅射时使用的氩气 流量为 20 sccm (1 sccm = 1 mL/min). 通过掠入 射 X 射线反射 (grazing incidence X-ray reflection, GIXRR; SmartLab, RIGAKU) 方法测试薄膜厚 度, 通过 X 射线光电子能谱测试仪 (X-ray Photoelectron Spectroscopy, XPS; 日本电子 JPS9010) 测试薄膜成分. 由此获得的 30 nm LaLuO3 薄膜经 过 XPS 测试 (如图 2 所示), La 和 Lu 的比例为 43:57. LaLuO3 薄膜溅射完成后, 通过退火处理改 善薄膜质量. 退火氛围主要为氮气、氧气、低氧含 量氮氧混气等气体氛围,退火时压强为1个大气压 或者 50 个大气压两种方式. 这里所使用的低氧含 量气体指的是氮气和含量为 0.1% 的氧气. 在退火 处理后, 通过在 LaLuO3 上沉积金属 Au 电极和 Ge 衬底背面沉积金属 Al 电极, 获得 Au/LaLuO₃/ Ge/Al电容,用于后续的电学性能测试和分析. Au 电极采用圆形电极, 电极直径为 80 μm.



图 1 Au/LaLuO₃/Ge/Al MOS 电容制备工艺流程和器件 结构示意图

device

835

840

845

of

structure

Fig. 1. Fabrication process and

190

200

Au/LaLuO₃/Ge/Al MOS capacitor. 500Raw data units La 3d_{5/2}⁽²⁾ 400 $3d_{5/2}^{(1)}$ Lainternsity/arb. 300 Lu $4d_{5/2}$ 200Lu $4d_{3/2}$ 100XPS i 0

图 2 共溅射生成的 30 nm LaLuO₃ 薄膜的 XPS 测试数据 与拟合峰

210

Binding energy/eV

Fig. 2. XPS data and fitting peak curves for 30 nm $\rm LaLuO_3$ film by co-sputtering.

3 实验结果及讨论

3.1 氧气退火对 Ge 基 LaLuO₃ 电容电学 性能的影响

实验中采用磁控溅射装置在 Ge 衬底上生长 10 nm LaLuO₃ 薄膜, 采用 N₂, O₂ 以及低氧含量气 体 3 种氛围条件进行退火, 退火温度为 600 ℃, 退 火时间为 30 s. 完成退火后, 对 3 种退火工艺制备 的 LaLuO₃ 电容进行双向 *C-V*变频扫描测试, 测 试频率变化范围为 1 MHz—1 kHz, 测试结果如图 3 所示.

图 3(a) 中,采用传统的 N₂ 氛围退火后,电容 在测试电压从-2 V 到 2 V 扫描时的 *C*-V曲线和 从 2 V 到-2 V 扫描时的测试曲线之间有较大的迟 滞,且测试曲线的迟滞呈现逆时针方向.这说明氧 化层仍存在着大量的 LaLuO₃ 薄膜氧空位缺陷相 关的空穴捕获中心^[30].图 3(b) 中采用 O₂ 氛围退火 后,由于 LaLuO₃ 薄膜中缺陷减少,迟滞现象有所 改善,但明显发现器件电容值变小.这说明 LaLuO₃和 Ge 界面处在退火后生成了较厚的 GeO₂ 层.采 用低氧含量混合气体氛围退火的测试曲线如图 3(c) 所示,器件迟滞电压得到有效降低,但是仍然保持 较高的电容值.从图 3 中将 3 种退火氛围下的测试 频率为 1 MHz 的电容-电压曲线绘制到图 4(a)中 进行比较,同时提取迟滞电压如图 4(b)所示.可以 看出,低氧含量混合气体氛围退火具有最好的电 容-电压曲线,氧气退火对于减少 LaLuO₃薄膜中 的氧空位缺陷具有显著效果,而低氧含量气体氛围 退火保持较高的电容值.但是 10 nm LaLuO₃电容 在低氧含量气体氛围退火处理后仍然具有高达 0.3 V 的迟滞.

3.2 两步退火工艺对 Ge 基 LaLuO₃ 电容 电学性能的影响

根据 O₂ 退火可以减小迟滞电压但会伴随较厚 界面层的现象,本工作进一步设计了先氮气退火再



图 3 10 nm LaLuO₃/Ge MOS 电容在不同环境下退火的电容-电压曲线 (退火温度为 600 ℃,时间是 30 s,测试频率为 1 kHz-1 MHz) (a) 氮气氛围; (b) 氧气氛围; (c) 低氧含量气体氛围

Fig. 3. The C-V curves of 10 nm LaLuO₃/Ge MOS capacitors under different annealing atmosphere: (a) N₂; (b) O₂; (c) N₂+0.1% O₂. The annealing temperature is 600 °C and time is 30 s, with frequency changing from 1 kHz to 1 MHz.



图 4 不同气体氛围下退火的 LaLuO₃/Ge MOS 电容在 1 MHz 测试频率下的 (a) 电容-电压曲线和 (b) 迟滞电压

Fig. 4. The (a) C-V curves and (b) hysteresis values of LaLuO₃/Ge MOS capacitors under different annealing atmospheres at frequency of 1 MHz.

氧气退火的两步退火工艺. 通过溅射 4 nm LaLuO₃ 并将薄膜在 N₂ 氛围下进行第 1 次退火,使用的退 火温度为 600 °C,退火时间为 30 s. 之后进行关键 的第 2 次退火,即在 O₂ 氛围下退火,退火温度分 别设置了 500 °C 和 400 °C 两种条件,退火时间为 1 min, 5 min 和 10 min,测试曲线如图 5 所示,测 试频率为 1 MHz. 从图 5 可以发现,400 °C 的氧气 退火对于电容-电压电学特性几乎没有改善效果, 而 500 °C 氧气退火则对于迟滞效应有改善效果, 但是进一步分析电容值,可以发现 500 °C 氧气退 火仍然会增大 EOT,因此仍然不利于获得超薄 EOT 的 LaLuO₃/Ge 电容.



图 5 采用两步退火处理后的 LaLuO₃/Ge MOS 电容的 CV 曲线, 第1步为 600 ℃ 下氮气退火 30 s, 第2步为氧气 退火, 温度分别为 (a) 500 ℃ 和 (b) 400 ℃

Fig. 5. The *C-V* curves of LaLuO₃/Ge MOS capacitors under two-stage annealing procedure, the first step is annealing in N₂ ambient for 30 s at 600 °C and the second step is annealing in O₂ ambient at (a) 500 °C and (b) 400 °C.

3.3 低 EOT 超薄 LaLuO₃ 电容制备

在 Ge 基 GeO₂ 材料的研究中发现, 高压退火 对于抑制 Ge 基 GeO₂ 薄膜中 Ge 界面处的 GeO 的产生和析出具有显著效果^[33].因此, 本工作在 LaLuO₃/Ge MOS 器件制备工艺中进一步引入了高 压退火工艺. 通过在 Ge 衬底上沉积 4 nm LaLuO3 后,在50个标准大气压下退火,退火温度为600℃, 时间为 30 s,比较不同气体氛围对于器件电学特性 的影响. 图 6 展示了测试频率为 1 MHz 时不同退 火氛围的 LaLuO₃/Ge MOS 结构的电容-电压特性 曲线,包括LaLuO₃/Ge MOS 器件在常压氮气氛 围下、高压氮气氛围下以及高压氧气氛围下和高压 低氧含量 (0.1% O₂) 气体氛围下退火的电容-电压 曲线. 电容-电压曲线总体呈现逆时针迟滞特性, 这 主要与 LaLuO₃ 氧化层中存在的空穴捕获缺陷有 关. 从图 6 可以发现, 高压氮气退火 (简记为 HPN) 和常压氮气退火(简记为 N₂)相比, MOS 电容的 迟滞现象有所改善,同时电容有效厚度 (capacitance effective thickness, CET) 保持不变. 高压氧 气退火 (简记为 HPO) 后, 双向 C-V曲线完全重 合,说明栅电容几乎没有迟滞电压,但其电容值也 最小,验证了LaLuO₃/Ge界面处生成了较厚的界 面层. 与高压氧退火相比, 高压强、低氧含量气体 退火 (简记为 HPNO) 在显著改善了氧化层质量 (无明显曲线回滞效应)的同时,对 MOS 结构电容 值几乎没有影响,即未增加 MOS 结构的 EOT. 此 外,与高压氮气退火和常规氮气退火相比,高压低 氧含量混合气体退火同样能够实现对栅结构中陷 阱的抑制.因此,相比较而言,HPNO样品兼具低 迟滞电压和高电容值,体现出该结构优异的氧化层 质量和栅控特性.



图 6 4 nm LaLuO₃/Ge MOS 电容在不同环境下退火的 电容-电压曲线,测试频率为 1 MHz

Fig. 6. The *C-V* curves of 4 nm LaLuO₃/Ge MOS capacitors under different annealing atmosphere at measuring frequency of 1 MHz. 图 7 所示为不同退火情况环境下的 LaLuO₃/ Ge MOS 电容的 CET 和迟滞数据.图 7 更加直观 地展示了退火环境对 LaLuO₃ 材料的影响.高压 纯氧气退火器件具有最小的迟滞电压,但 CET 增 大了~50%,而高压低氧含量混合气体氛围退火 加工的 LaLuO₃/Ge 结构则具有更高的栅电容值, 相应具备更优异的栅控能力.通过准静态法测试得 到的不同环境下退火的 LaLuO₃/Ge MOS 电容界 面态密度如图 7(b) 所示.可以发现高压退火 (包 括 HPN, HPNO 和 HPO) 的界面态密度 (*D*_{it}) 都 比常压氮气退火低,特别是高压低氧含量气体退火 和高压氧气退火后的 LaLuO₃/Ge MOS 电容的界 面态密度低至 8×10¹¹ eV⁻¹·cm⁻².这说明高压低氧 含量气体退火工艺可以进一步优化制备的栅介质 质量.



图 7 不同环境下退火的 LaLuO₃/Ge MOS 电容的 (a) CET 和迟滞, 以及 (b) 界面态密度 *D*_{it} 计算结果 Fig. 7. (a) CET and hysteresis and (b) *D*_{it} at Fermi level of

Fig. 7. (a) CET and hysteresis and (b) D_{it} at refinitive of LaLuO₃/Ge MOS capacitors under different annealing atmosphere.

本工作采用高压低氧含量气体退火所获得的 4 nm LaLuO₃/Ge MOS 结构的 *C*-*V*特性如图 8 所示,相应的 EOT 约为 1.8 nm,迟滞为 40 mV, 其界面态密度 *D*_{it} 低至 8×10¹¹ eV⁻¹·cm⁻².



图 8 采用高压低氧含量 (0.1%) 气体退火后的 4 nm LaLuO₃/ Ge MOS 的电容-电压曲线

Fig. 8. The C-V characteristics of 4 nm LaLuO_3/Ge MOS capacitors under high pressure N_2+0.1%O_2 mixture ambient.

4 结 论

本工作围绕 Ge MOSFET 技术中具有显著发 展潜力的高介电常数 LaLuO₃ 栅介质工艺开展了 系统研究, 通过系列对比实验揭示了退火工艺的气 体种类、压强等氛围条件对 Ge MOS 栅电容特性 的影响规律, 发现常压、高压氧气氛围退火工艺虽 然可以缓解器件栅电容迟滞问题, 但面临 EOT 增 大的限制. 针对性地, 本工作进一步发展了高压低 氧含量混合气体 (N₂:0.1% O₂) 退火工艺技术方法, 并基于系列 *C-V*测试和 XPS 测试结果证实了该 工艺方法可以获得高质量 LaLuO_{3/}Ge 栅 MOS 结 构, 获得了等效氧化层厚度仅为 1.8 nm 的超薄高 介电常数 Ge 基栅氧化物. 本工作为制备具有高栅 控能力、低栅极漏电的 Ge MOSFET 提供了直接 的栅工艺技术方案.

本研究得到东京大学鸟海明教授的悉心指导和大力支持.

参考文献

- [1] Del Alamo J A 2011 Nature 479 317
- [2] Zhao Y, Li J K, Zheng Z J 2019 Acta Phys. Sin. 68 167301 (in Chinese) [赵毅, 李骏康, 郑泽杰 2019 物理学报 68 167301]
- [3] Wang S W, Guo H X, Ma T, Lei Z F, Ma W Y, Zhong X L, Zhang H, Lu X J, Li J F, Fang J L, Zeng T X 2024 Acta Phys. Sin. 73 238501 [王颂文, 郭红霞, 马腾, 雷志锋, 马武英, 钟向丽, 张鸿, 卢小杰, 李济芳, 方俊霖, 曾天祥 2024 物理学报 73 238501]
- [4] Shao Y J, Zhou J, Xu N, Chen J, Watanabe K, Taniguchi T,

Shi Y, Li S L 2023 Chin. Phys. Lett. 40 068501

- [5] Yan N, Xiong Z R, Qin C B, Li X X 2024 Chin. Phys. Lett. 41 028101
- [6] Wang C, Wen P, Peng C, Xu M, Chen L L, Li X F, Zhang J H 2023 Acta Phys. Sin. 72 087302 (in Chinese) [王琛, 温盼, 彭聪, 徐萌, 陈龙龙, 李喜峰, 张建华 2023 物理学报 72 087302]
- [7] Wu H, Wu W, Si M, Peide D Y 2015 IEEE International Electron Devices Meeting (IEDM) Washington DC USA, December 7-9, 2015 p2.1.1
- [8] Yu B, Chang L, Ahmed S, Wang H, Bell S, Yang C Y, Tabery C, Ho C, Xiang Q, King T J, Bokor J, Hu C, Lin M R, Kyser D 2002 *IEEE International Electron Devices Meeting (IEDM)* San Francisco, CA, USA, December 8–11, 2002 p10.2.1
- [9] Cao L, Liu H 2012 Acta Phys. Sin. 61 247303 (in Chinese) [曹 磊, 刘红侠 2012 物理学报 61 247303]
- [10] Kim J H, Kim S, Park B G 2019 IEEE Trans. Elec. Dev. 66 1656
- [11] Chen J D, Han W H, Yang C, Zhao X S, Guo Y Y, Zhang X D, Yang F H 2020 Acta Phys. Sin. 69 137701 (in Chinese) [陈 俊东, 韩伟华, 杨冲, 赵晓松, 郭仰岩, 张晓迪, 杨富华 2020 物理
 学报 69 137701]
- [12] Liu C, Wang X Z, Shen C, Ma L P, Yang X Q, Kong Y, Ma W, Liang Y, Feng S, Wang X Y, Wei Y N, Zhu X, Li B, Li C Z, Dong S C, Zhang L N, Ren W C, Sun D M, Cheng H M 2024 Nature 632 782
- [13] Wei W J, Lü W F, Han Y, Zhang C Y, Chen D K 2023 Chin. Phys. B 32 097301
- [14] Takagi S, Zhang R, Suh J, Kim S H, Yokoyama M, Nishi K, Takenaka M 2015 Jpn. J. Appl. Phys. 54 06FA01
- [15] Kamata Y 2008 Mater. Today 11 30
- [16] Zhang R, Huang P C, Lin J C, Taoka N, Takenaka M, Takagi S 2013 IEEE Trans. Elec. Dev. 60 927
- [17] Nakaharai S, Tezuka T, Sugiyama N, Moriyama Y, Takagi S 2003 Appl. Phys. Lett. 83 3516
- [18] Chen C W, Tzeng J Y, Chung C T, Chien H P, Chien C H,

Luo G L 2014 IEEE Trans. Elec. Dev. 61 2656

- [19] Zhang R, Tang X, Yu X, Li J, Zhao Y 2016 IEEE Elec. Dev. Lett. 37 831
- [20] Murad S A, Baine P T, McNeill D W, Mitchell S J N, Armstrong B M, Modreanu M, Hughes G, Chellappan R K 2012 Solid-state Electrons. 78 136
- [21] Lee C H, Nishimura T, Nagashio K, Kita K, Toriumi A 2011 IEEE Trans. Elec. Dev. 58 1295
- [22] Xie M, Nishimura T, Yajima T, Toriumi A 2020 J. Appl. Phys. 127 024101
- [23] Wang S K, Kita K, Nishimura T, Nagashio K, Toriumi A 2011 Jpn. J. Appl. Phys. 50 04DA01
- [24] Ogawa S, Suda T, Yamamoto T, Kutsuki K, Hideshima I, Hosoi T, Shimura T, Watanabe H 2011 Appl. Phys. Lett. 99 142101
- [25] Roeckerath M, Heeg T, Lopes J M J, Schubert J, Mantl S, Besmehn A, Myllymäki P, Niinistö L 2008 *Thin Solid Films* 517 201
- [26] Goh K H, Haseeb A S M A, Wong Y H 2017 Mater. Sci. Semicon. Proc. 68 302
- [27] Gu J J, Liu Y Q, Xu M, Celler G K, Gordon R G, Ye P D 2010 Appl. Phys. Lett. 97 012106
- [28] Özben E D, Lopes J M J, Nichau A, Schnee M, Lenk S, Besmehn A, Bourdelle K K, Zhao Q T, Schubert J, Mantl S 2010 IEEE Elec. Dev. Lett. 32 15
- [29] Yu W J, Zhang B, Liu C, Xue Z Y, Chen M, Zhao Q T 2014 *Chin. Phys. Lett.* **31** 016101
- [30] Xiong K, Robertson 2009 Microelectron. Eng. 86 1672
- [31] Radtke C, Krug C, Soares G V, Baumvol I J R, Lopes J M J, Durgun-Ozben E, Nichau A, Schubert J, Mantl S 2010 *Electrochem. Solid-State Lett.* **13** G37
- [32] Tabata T, Lee C H, Kita K, Toriumi A 2008 ECS Trans. 16 479
- [33] Lee C H, Tabata T, Nishimura T, Nagashio K, Toriumi A 2012 Appl. Phys. Lett. 5 114001

Demonstration of ultra-thin high-k LaLuO₃ gate dielectric for Ge-CMOS manufacture in More Moore application^{*}

TANG Xiaoyu[†] LIU Yujie HUA Tao

 (School of Commuciation and Artificial Intelligence, School of Integrated Circuits, Nanjing Institute of Technology, Nanjing 211167, China)
 (Received 26 January 2025; revised manuscript received 22 February 2025)

Abstract

Germanium material holds great potential applications in low-power, high-mobility field-effect transistors because of their advantages of high electron and hole mobility, narrow bandgap, and compatibility with silicon CMOS technologies. The development of high-quality gate oxide processes is crucial in fabricating high-mobility Ge-based transistors, especially those with high dielectric constant for superior gate control and preferable gate stability. Rare-earth oxides represented by LaLuO₃ have high dielectric constants and high crystallization temperatures, making them potential candidates for Ge-based metal-oxide-semiconductor field-effect transistor (MOSFET) gate technology. In this work, a germanium (Ge)-based oxide dielectric LaLuO₃ is fabricated utilizing a p-type Ge substrate with a (111) crystal orientation and a doping concentration of 1×10^{16} cm⁻³, and radio-frequency (RF) co-sputtering 2-inch 99.9% La₂O₃ and Lu₂O₃ targets. Systematical investigations are conducted to evaluate the effects of annealing process conditions on the characteristics of the LaLuO₃/Ge MOS gate structure under three specifically designed annealing atmospheres, i.e. nitrogen, oxygen, and a nitrogenoxygen mixed gas with an N₂:O₂ ratio of 0.999:0.001. Meanwhile, the influence of annealing pressure is also explored. The results show that annealing in pure oxygen at atmospheric pressure can reduce the hysteresis of

gate capacitance, but it can lead to the formation of interface layers. Correspondingly, annealing technique based on high-pressure and low-oxygen-content (0.1% O_2) atmosphere is developed, which not only improves the LaLuO₃/Ge interface quality and suppresses the oxygen vacancy generation, but also achieves an extremely low equivalent oxide thickness (EOT) of 1.8 nm and a hysteresis voltage of only 40 mV, resulting in an ideal LaLuO₃/Ge MOS structure. This work thus provides a high-performance LaLuO₃/Ge gate process solution for Ge MOSFETs.



Keywords: Ge-based metal-oxide-semiconductor field-effect transistor, gate stack process, rare-earth oxide, high-k dielectric constant

PACS: 68.35.bg, 77.55.dj, 85.35.-p, 73.61.-r

DOI: 10.7498/aps.74.20250126

CSTR: 32037.14.aps.74.20250126

^{*} Project supported by the National Natural Science Foundation of China (Grant No. 62104102) and the Scientific Research Foundation of Nanjing Institute of Technology, China (Grant No. YKJ201827).

[†] Corresponding author. E-mail: xiaoyutang@njit.edu.cn





Institute of Physics, CAS

面向后摩尔Ge-CMOS制造的超薄高介电常数LaLu03栅介质工艺研究

唐晓雨 刘玉杰 花涛

Demonstration of ultra-thin high-k LaLuO₃ gate dielectric for Ge-CMOS manufacture in More Moore application

TANG Xiaoyu LIU Yujie HUA Tao

引用信息 Citation: Acta Physica Sinica, 74, 096801 (2025) DOI: 10.7498/aps.74.20250126 CSTR: 32037.14.aps.74.20250126 在线阅读 View online: https://doi.org/10.7498/aps.74.20250126

当期内容 View table of contents: http://wulixb.iphy.ac.cn

您可能感兴趣的其他文章

Articles you may be interested in

功率金属-氧化物半导体场效应晶体管静电放电栅源电容解析模型的建立

Establishment of analytical model for electrostatic discharge gate-to-source capacitance of power metal-oxide-semiconductor field-effect transistor

物理学报. 2024, 73(11): 118501 https://doi.org/10.7498/aps.73.20240144

10 nm金属氧化物半导体场效应晶体管中的热噪声特性分析

Analysis of thermal noise characteristics in 10 nm metal oxide semiconductor field effect transistor 物理学报. 2023, 72(22): 227303 https://doi.org/10.7498/aps.72.20230661

一个圆柱形双栅场效应晶体管的物理模型

A physical model of cylindrical surrounding double-gate metal-oxide-semiconductor field-effect transistor 物理学报. 2021, 70(15): 157302 https://doi.org/10.7498/aps.70.20202156

双沟槽SiC 金属-氧化物-半导体型场效应管重离子单粒子效应 Heavy ion single event effect in double-trench SiC metal-oxide-semiconductor field-effect transistors 物理学报. 2024, 73(2): 026103 https://doi.org/10.7498/aps.73.20231440

脉冲γ射线诱发N型金属氧化物场效应晶体管纵向寄生效应开启机制分析

TCAD simulation analysis of vertical parasitic effect induced by pulsed γ – ray in NMOS from 180 nm to 40 nm technology nodes 物理学报. 2022, 71(4): 046104 https://doi.org/10.7498/aps.71.20211691

不同栅压下Si-n型金属氧化物半导体场效应管总剂量效应的瞬态特性仿真

Transient characteristics simulation of total ionizing dose effect on Si n-metal-oxide-semiconductor field effect transistor under different gate voltage

物理学报. 2023, 72(13): 138501 https://doi.org/10.7498/aps.72.20230207