

专题: 二维材料与未来信息器件·封面文章

一步退火工艺构建 WSe_2 互补晶体管*崔馨雨¹⁾ 单俊杰^{2)†} 孙肖瑜¹⁾ 潘晨^{3)‡} 孙佳萌³⁾
于文韬³⁾ 梁世军^{1)††} 缪峰¹⁾¹⁾ (南京大学物理学院, 固体微结构物理国家重点实验室, 南京 210093)²⁾ (南京师范大学物理科学与技术学院, 物态调控与先进材料省高校重点实验室, 南京 210023)³⁾ (南京理工大学物理学院, 物质科学交叉研究中心, 南京 210094)

(2025 年 5 月 18 日收到; 2025 年 6 月 5 日收到修改稿)

二维半导体材料凭借其独特的物理特性与优异的电学性能, 在后摩尔时代集成电路发展中展现出巨大潜力. 开发与二维材料兼容的极性调控方法, 已成为基于二维半导体构建互补逻辑电路、实现低功耗且高稳定性信息处理功能的关键, 有望为持续提升集成电路性能提供新路径. 本研究报道了一种基于一歩退火工艺的二维半导体极性调控策略, Pd 电极接触的 WSe_2 晶体管的导电特性经退火由 n 型主导转变为 p 型主导; 而 Cr 电极接触的器件则始终保持 n 型主导的导电特性. 在此基础上, 通过在同一 WSe_2 上选择性制备不同金属材料的源漏电极并结合一步退火工艺, 实现了互补晶体管的单片集成, 进而通过器件互联实现了反相器功能. 在 2.5 V 的电源电压 (V_{dd}) 下, 反相器增益达 23, 总噪声容限达 2.3 V (0.92 V_{dd}). 该研究为二维半导体的极性调控提供了全新的技术路径.

关键词: 二硒化钨, 极性调控, 互补晶体管**PACS:** 85.30.Tv, 72.80.Ga, 85.30.Pq, 85.30.De**DOI:** 10.7498/aps.74.20250648**CSTR:** 32037.14.aps.74.20250648

1 引言

二维半导体材料凭借其本征原子级平整的表面结构与可调节的电子能带结构等独特优势, 为构建高性能场效应晶体管 (field-effect transistor, FET) 提供了理想平台^[1-4], 在后摩尔时代高密度集成电路领域展现出巨大应用潜力^[5-12]. 现代集成电路中低功耗与高稳定性的双重特性, 本质上由 p 型 FET (p-FET) 与 n 型 FET (n-FET) 构成的互补型电路架构所决定. 传统硅基技术中广泛采用离

子注入^[13]与离子扩散^[14]等技术来实现沟道载流子的极性调控, 然而此类基于高能轰击的掺杂手段并不适用于二维材料体系. 二维材料的原子级薄层结构对晶格完整性极度敏感, 高能离子辐照诱导的缺陷态不仅显著劣化载流子输运性能, 同时增加材料中的缺陷密度, 进而诱导二维材料和源漏电极接触界面的费米钉扎效应, 限制载流子注入类型和效率的有效调控. 为突破此限制, 领域内相继发展了一系列极性调控策略, 包括: 通过表面吸附诱导的电荷转移掺杂技术^[15-20], 利用范德瓦耳斯接触实现金属功函数匹配的半导体载流子注入类型调控

* 国家重点研发计划 (批准号: 2022YFA1402500, 2023YFF1203600)、国家自然科学基金 (批准号: 62122036, 62034004, 61921005, 62204112) 和江苏省自然科学基金 (批准号: BK20220774) 资助的课题.

† 通信作者. E-mail: junjieshan@nju.edu.cn

‡ 通信作者. E-mail: chenpan@njust.edu.cn

†† 通信作者. E-mail: sjliang@nju.edu.cn

技术^[21,22], 栅极电场对沟道载流子浓度与类型的静电调控技术^[23-25], 以及利用界面电荷转移诱导的半导体极性重构技术^[26]等. 当前发展的极性调控方法为二维半导体器件性能优化提供了可行方案, 但其在制造工艺的简易性和可控性方面仍与成熟的硅基技术存在明显差距, 这已成为二维互补逻辑电路规模化应用的主要制约因素.

本研究发展了一种基于一步热退火工艺的简便有效的二维半导体极性调控新策略. 具有不同金属电极接触的 WSe₂ FETs 退火前后的电学特性表征结果表明, Pd 电极接触的 WSe₂ FETs 经退火后的导电特性由 n 型主导转变为 p 型主导; 而 Cr 电极接触的器件则始终保持 n 型主导的导电特性. 基于该极性调控策略, 我们通过在单一 WSe₂ 上选择性制备不同金属材料的源漏电极, 结合一步退火工艺实现了互补晶体管 (p-FET/n-FET) 的单片集成, 并构建互补逻辑反相器电路. 反相器在 2.5 V 电源电压下展现出优异性能, 其电压增益达 23, 总噪声容限达 2.3 V (0.92 V_{dd}). 本研究不仅为二维半导体的极性调控提供了新方法, 同时为二维互补逻辑电路的设计与集成提供了新思路.

2 WSe₂ 晶体管的极性调控

WSe₂ 作为本征双极性半导体, 其场效应特性可通过外场调控实现电子与空穴导电态的动态切换, 为基于单一材料平台的互补逻辑器件的构建提供了物理基础^[19,20,23,25,27-29]. 本研究首先探究了 WSe₂ FETs 器件中由热退火诱导的接触界面重构伴随的场效应极性调控行为. 采用机械剥离的 WSe₂ 作为沟道材料, 利用电子束曝光和电子束蒸镀等微纳加工技术分别制备了以 Pd 和 Cr 作为接触电极的 FETs 器件. 图 1(a) 展示了器件在热退火处理 (200 °C, Ar 气氛下 30 min) 前后的光学照片, 将 Pd-WSe₂ (Pd 金属作为源漏接触电极) 和 Cr-WSe₂ (Cr 金属作为源漏接触电极) 器件在退火前后的电极近邻沟道区域分别标记为区域 I, II, III 和 IV. Pd-WSe₂ 器件中区域 II (退火后) 相较于区域 I (退火前) 发生了明显的光学衬度变化, 表明退火后 Pd 电极与 WSe₂ 沟道间形成了新的界面接触层, 即退火诱导了器件中 Pd 电极与 WSe₂ 沟道界面的重构. 图 1(b) 所示的拉曼光谱表征结果进一步验证了这一变化: 区域 I 处的拉曼光谱中观察到位于 249 cm⁻¹, 257 cm⁻¹, 309 cm⁻¹ 的特征峰, 分

别对应于 WSe₂ 的 E_{2g}^1/A_{1g} , 2LA(M), B_{2g}^1 振动模式, 这与已有文献报道结果一致^[30-32], 而区域 II 处消失的 WSe₂ 特征峰证实了该区域结构的改变. 这一现象与本研究团队先前报道的结果相符^[33], 即通过精确控制热退火条件, 可引发由活性金属 Pd 原子扩散诱导的金属-半导体接触界面重构. 与之相比, 在相同的退火条件下, Cr-WSe₂ 器件中的区域 IV (退火后) 和区域 III (退火前) 在光学衬度与拉曼光谱的对比中均未观察到明显变化, 即退火过程中 Cr 电极和 WSe₂ 沟道的界面结构保持不变.

随后, 我们探究了具有不同金属材料作为源漏电极的 WSe₂ FETs 器件 (以 h-BN 为栅介质) 在退火前后的电学特性变化. Pd-WSe₂ FET 退火前后的转移特性曲线如图 1(c) 所示, 测试中所施加的源漏电压 (V_{ds}) 为 3 V. 退火前, 电子导通电流高于空穴导通电流, 器件表现为 n 型主导的导电特性; 而退火后, 器件转变为 p 型主导的导电特性, 其中空穴电流相比退火前提升 10 倍, 而电子电流则降低 2 个数量级. 此外, 我们通过场效应迁移率 (μ_{FE}) 的改变对载流子输运效率的变化进行了定量分析. 迁移率计算表达式为 $\mu_{FE} = \frac{L_{ch}}{W \times C_g \times V_{ds}} \times \frac{dI_{ds}}{dV_g}$, 其中 C_g 为介电层的单位电容, W 和 L_{ch} 分别为 FET 的沟道宽度和长度, I_{ds} 为源漏电流, V_g 为栅极电压. 经退火, 器件的空穴迁移率从 5.3 cm²·V⁻¹·s⁻¹ (退火前) 提升至 13.4 cm²·V⁻¹·s⁻¹ (退火后); 而电子迁移率则从 8.9 cm²·V⁻¹·s⁻¹ (退火前) 降低至 0.45 cm²·V⁻¹·s⁻¹ (退火后). 退火前后, 器件中电子的输运能力被抑制, 而空穴的输运能力则得到大幅提升, 显著的极性转变归因于热退火诱导的界面重构^[33]. 不同于 Pd-WSe₂ FET 中观察到的极性转变行为, 图 1(d) 所示的 Cr-WSe₂ FET 经相同条件的退火处理后的转移特性曲线与退火前几乎重叠, 电子导通电流始终高于空穴导通电流, 即退火前后 Cr-WSe₂ FET 器件可保持稳定的 n 型主导的导电特性. 上述结果表明, 通过在器件源漏区域选择性制备不同金属材料作为接触电极并结合热退火工艺处理, 可实现对 WSe₂ FETs 极性的选择性调控.

3 WSe₂ 互补晶体管的单片集成

基于上述 FETs 极性调控策略, 本研究在单一 WSe₂ 材料上实现了互补 FETs 的单片集成. 所构筑的器件中采用机械剥离的 WSe₂ 作为沟道材

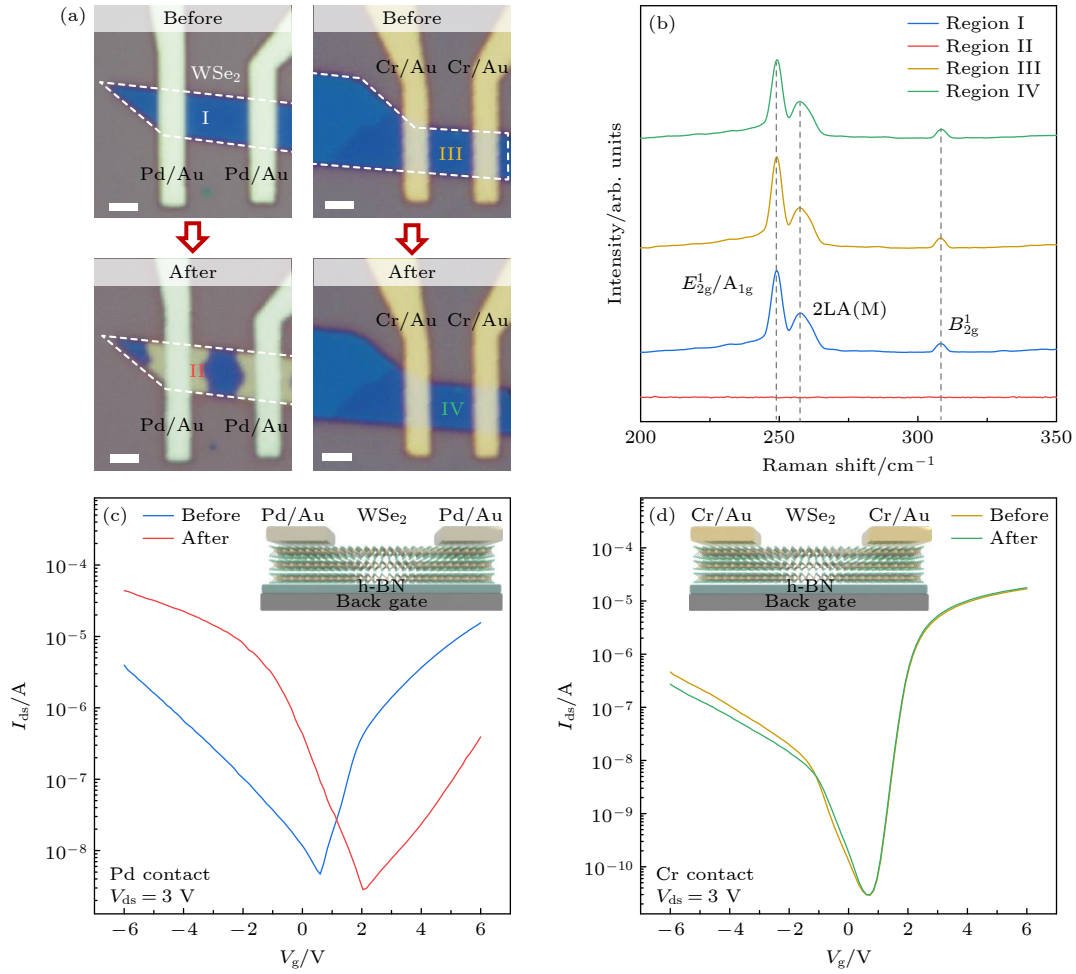


图1 WSe₂ FETs的极性调控 (a) 以Pd和Cr作为源漏接触电极的WSe₂器件在退火前后的光学照片对比, 其中将退火前后Pd-WSe₂与Cr-WSe₂器件电极近邻沟道区域分别标记为区域I, II, III和IV, 比例尺为1 μm ; (b) 图(a)中对应区域“I—IV”的拉曼光谱表征结果; 以Pd(c)和Cr(d)为源漏接触电极的背栅结构WSe₂ FETs退火前后的转移特性曲线, 施加 V_{ds} 为3 V, 器件结构示意图如插图所示

Fig. 1. Polarity modulation of WSe₂ FETs: (a) Comparative optical micrographs of Pd-contact and Cr-contact WSe₂ devices before and after annealing. The electrode-proximal channel zones in Pd-WSe₂ and Cr-WSe₂ devices are labeled as regions I, II, III and IV before and after annealing states, respectively, the scale bar is 1 μm . (b) Raman spectrum characterization results of the corresponding regions “I—IV” marked in Figure (a). Transfer characteristic curves of back-gated WSe₂ FETs with Pd contact (c) and Cr contact (d) before and after annealing, measured at V_{ds} of 3 V, and the insets illustrate the schematics of device structures.

料, h-BN 作为栅介质, 并在同一 WSe₂ 沟道上制备 Pd, Cr 两种不同的金属作为源漏电极, 器件结构如图 2(a) 所示. 经一步退火处理, 形成了具有互补特性的 p-FET(Pd-WSe₂ FET) 和 n-FET(Cr-WSe₂ FET). 为了验证互补 FETs 在逻辑电路中的工作性能, 在统一的电压范围内对 p-FET 与 n-FET 转移特性和输出特性进行了表征. 器件的转移特性曲线如图 2(b) 所示, 在 0—5 V 的 V_g 范围内, Cr-WSe₂ FET 在源极接地、漏极施加 1 V 电压 ($V_{\text{ds}} = 1 \text{ V}$) 的条件下表现出 n 型场效应特性 (蓝色曲线); 而 Pd-WSe₂ FET 在源极施加 5 V 电压、漏极施加 4 V 电压 ($V_{\text{ds}} = -1 \text{ V}$) 的条件下表现出

p 型场效应特性 (红色曲线). p-FET 和 n-FET 的电流开关比分别超过 10^3 和 10^5 , 关态电流均小于 10^{-10} A , 开态电流均大于 10^{-7} A , 能够确保互补逻辑电路实现稳定的逻辑状态分离. p-FET 和 n-FET 的输出特性曲线分别如图 2(c) 与图 2(d) 所示, 在相同的 V_g (0—2.5 V) 与 V_d (0—3 V) 范围内, 在 p-FET 源极施加 3 V 偏置电压, 在 n-FET 源极接地的电学操作下, 两器件均展现出典型的输出电流饱和特性, 这一特性是互补 FETs 实现高增益反相器电路性能的关键^[23]. 综上所述, 基于一歩退火法构筑的 WSe₂ 互补 FETs 所展现的优异电学特性为后续研究中逻辑反相器的构建奠定了重要基础.

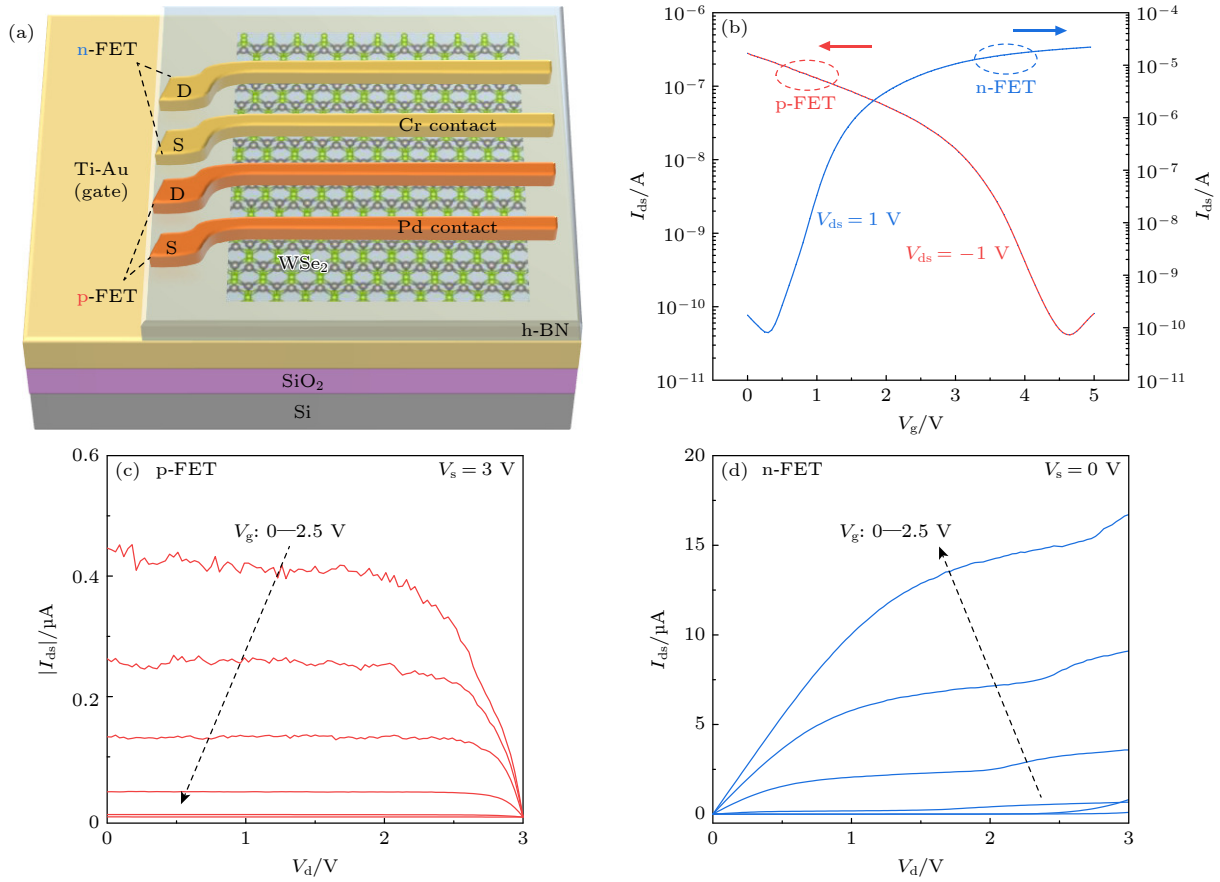


图 2 基于 WSe₂ 的互补 FETs 的单片集成与电学特性 (a) 在单一 WSe₂ 材料上集成互补 FETs 的器件结构示意图, 经退火操作后, Pd-WSe₂ FET 表现为 p-FET, Cr-WSe₂ FET 表现为 n-FET; (b) p-FET 和 n-FET 的转移特性曲线, 其中红色曲线代表 p-FET, 蓝色曲线代表 n-FET, 施加的 V_{ds} 分别为 -1 V 和 1 V; p-FET(c) 和 n-FET(d) 的输出特性曲线, V_g 变化范围为 0—2.5 V, 变化步长为 0.5 V, 施加的 V_s 分别为 3 和 0 V

Fig. 2. Monolithic integration and electrical characteristics of WSe₂-based complementary FETs: (a) Schematic of the integrated complementary FETs on a single WSe₂ flake, the annealed Pd-WSe₂ FET serves as p-FET and the Cr-WSe₂ FET functions as n-FET; (b) transfer characteristic curves of the p-FET (red curve) and n-FET (blue curve), the applied V_{ds} are -1 V and 1 V, respectively; output characteristic curves of the p-FET (c) and n-FET (d), the V_g swept from 0 to 2.5 V with step increments of 0.5 V, and the applied V_s are 3 and 0 V, respectively.

4 基于 WSe₂ 的互补逻辑反相器

在实现 WSe₂ 互补 FETs 单片集成的基础上, 本研究构建了由 p-FET 和 n-FET 串联组成的互补逻辑反相器, 并对其电学性能进行了表征分析. 反相器的电路结构如图 3(a) 所示, n-FET 源极接地 (GND), p-FET 源极接电源电压 (V_{dd}), 栅极互联形成输入节点 (V_{in}), 漏极互连构成输出节点 (V_{out}). 不同 V_{dd} 条件 (1.0, 1.5, 2.0, 2.5 V) 下反相器的电压传输特性曲线如图 3(b) 所示, 输出电压摆幅 (定义为 V_{out} 的最大差值) 接近所施加的 V_{dd} , 且输出电压在低输入电压时输出高电平, 在高输入电压时输出低电平, 能够实现稳定的逻辑反转功能. 随后, 基于电压传输特性曲线, 我们进一步量

化分析了反相器的两个关键性能指标, 电压增益和噪声容限 (noise margin, NM)^[27,34], 其中 NM 包括高噪声容限 (NM_H) 和低噪声容限 (NM_L). 反相器的电压增益如图 3(c) 所示, 随着 V_{dd} 增大, 反相器的增益逐渐增大, 当 $V_{dd} = 2.5$ V 时, 峰值增益达 23. 此时, 反相器的 NM_H 与 NM_L 分别达到 1.2 V (0.48 V_{dd}) 与 1.1 V (0.44 V_{dd}), 总噪声容限 (NM_{total} = NM_H + NM_L) 达 2.3 V (0.92 V_{dd}), 如图 3(d) 所示. 上述测试结果表明, 本研究所构建的互补逻辑反相器具备良好的信号传输能力和抗干扰能力, 其增益和噪声容限水平与领域内部分代表性研究报道的二维反相器性能相当^[15,19,35], 能够有效地避免因噪声或电压波动引起的逻辑错误, 展现出优异的电路级联潜力. 后续研究中, 可通过

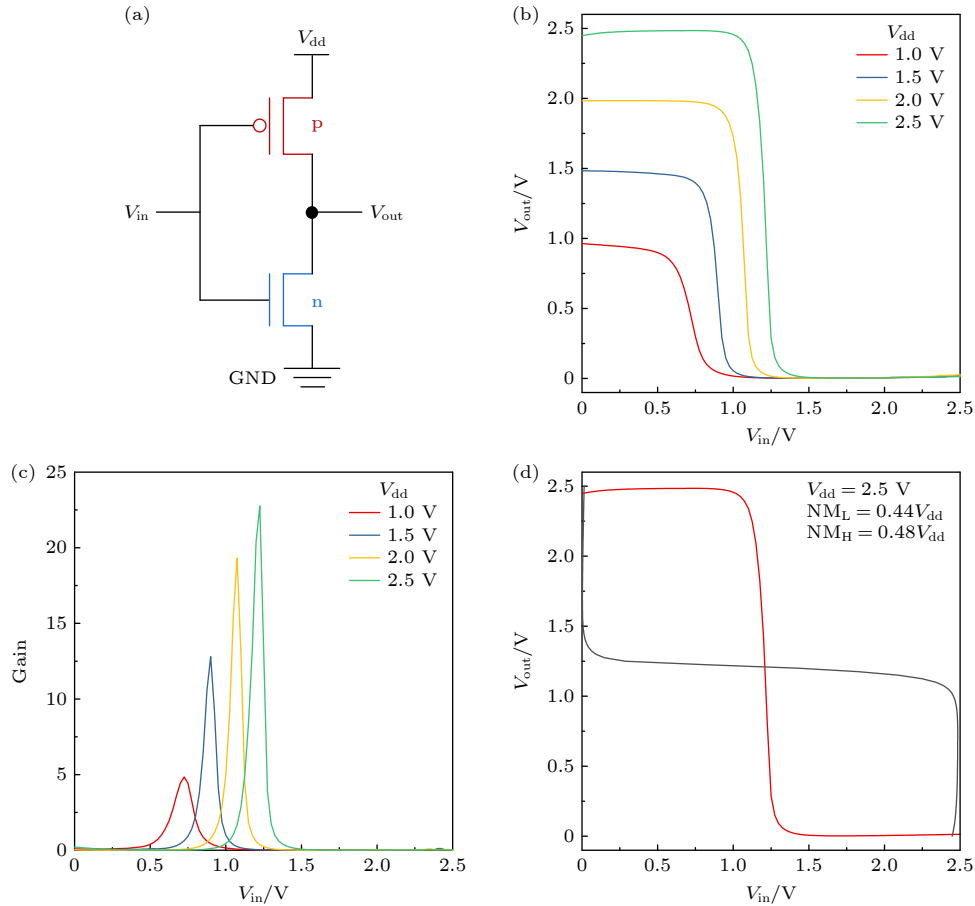


图3 基于 WSe_2 FETs 构建的互补逻辑反相器及其电学性能 (a) p-FET 和 n-FET 串联组成的互补逻辑反相器的电路图; (b) 反相器的电压传输特性曲线, 所施 V_{dd} 范围为 1—2.5 V, 变化步长为 0.5 V; (c) 基于反相器电压传输特性曲线提取的电压增益; (d) 当 V_{dd} 为 2.5 V 时, WSe_2 反相器的蝶形电压传输特性曲线

Fig. 3. Construction and electrical characteristics of complementary logic inverter based on WSe_2 FETs: (a) Circuit diagram of the complementary logic inverter composed of p-FET and n-FET connected in series; (b) voltage transfer characteristic curves of inverter, the applied V_{dd} range from 1 to 2.5 V with step increments of 0.5 V; (c) voltage gain extracted from the voltage transfer characteristic curves of the inverter; (d) butterfly voltage transfer characteristic curves of WSe_2 inverter at applied V_{dd} of 2.5 V.

优化设计 p-FET 与 n-FET 的器件尺寸比例、推进器件尺寸微缩、制备高介电常数栅介质层等技术途径, 进一步提升电路性能。

5 结 论

本研究报道了一种基于一歩热退火工艺的二维半导体极性调控的新策略。经热退火, Pd- WSe_2 FETs 的极性发生转变, 其导电特性由 n 型主导转变为 p 型主导; 而 Cr- WSe_2 FETs 在相同退火条件下则始终保持 n 型主导的导电特性。基于此, 通过在同一 WSe_2 上选择性制备不同金属作为源漏电极, 结合一步退火工艺实现了互补晶体管 (p-FET/n-FET) 的单片集成, 并通过器件互联构建了互补逻辑反相器。所构建的反相器展现出优异性能,

其电压增益达 23, 总噪声容限达 2.3 V ($0.92 V_{\text{dd}}$)。本研究为二维半导体的极性调控提供了新的技术方案, 并为推进二维材料在后摩尔时代集成电路中的应用提供了助力。

参考文献

- [1] Desai S B, Madhvapathy S R, Sachid A B, Llinas J P, Wang Q X, Ahn G H, Pitner G, Kim M J, Bokor J, Hu C M, Wong H S P, Javey A 2016 *Science* **354** 99
- [2] Liu Y, Duan X D, Huang Y, Duan X F 2018 *Chem. Soc. Rev.* **47** 6388
- [3] Radisavljevic B, Radenovic A, Brivio J, Giacometti V, Kis A 2011 *Nat. Nanotechnol.* **6** 147
- [4] Wu F, Tian H, Shen Y, Hou Z, Ren J, Gou G Y, Sun Y B, Yang Y, Ren T L 2022 *Nature* **603** 259
- [5] Akinwande D, Huyghebaert C, Wang C H, Serna M I, Goossens S, Li L J, Wong H S P, Koppens F H L 2019 *Nature* **573** 507

- [6] Das S, Sebastian A, Pop E, McClellan C J, Franklin A D, Grasser T, Knobloch T, Illarionov Y, Penumatcha A V, Appenzeller J, Chen Z H, Zhu W J, Asselberghs I, Li L J, Aveci U E, Bhat N, Anthopoulos T D, Singh R **2021** *Nat. Electron.* **4** 786
- [7] Jayachandran D, Pendurthi R, Sadaf M U K, Sakib N U, Pannone A, Chen C, Han Y, Trainor N, Kumari S, Mc Knight T V, Redwing J M, Yang Y, Das S **2024** *Nature* **625** 276
- [8] Sun X, Zhu C, Yi J, Xiang L, Ma C, Liu H, Zheng B, Liu Y, You W, Zhang W, Liang D, Shuai Q, Zhu X, Duan H, Liao L, Liu Y, Li D, Pan A **2022** *Nat. Electron.* **5** 752
- [9] Xie M S, Jia Y Y, Nie C, Liu Z H, Tang A, Fan S Q, Liang X Y, Jiang L, He Z Z, Yang R **2023** *Nat. Commun.* **14** 5952
- [10] Yu J, Wang H, Zhuge F, Chen Z, Hu M, Xu X, He Y, Ma Y, Miao X, Zhai T **2023** *Nat. Commun.* **14** 5662
- [11] Zhang Q, Wang X F, Shen S H, Lu Q, Liu X, Li H, Zheng J, Yu C P, Zhong X, Gu L, Ren T L, Jiao L **2019** *Nat. Electron.* **2** 164
- [12] Zhu K, Wen C, Aljarb A A, Xue F, Xu X, Tung V, Zhang X, Alshareef H N, Lanza M **2021** *Nat. Electron.* **4** 775
- [13] Haynes T E, Eaglesham D J, Stolk P A, Gossmann H J, Jacobson D C, Poate J M **1996** *Appl. Phys. Lett.* **69** 1376
- [14] Pandey K C, Erbil A, Cargill I G, Boehme R F, Vanderbilt D **1988** *Phys. Rev. Lett.* **61** 1282
- [15] Cai J, Sun Z, Wu P, Tripathi R, Lan H Y, Kong J, Chen Z H, Appenzeller J **2023** *Nano Lett.* **23** 10939
- [16] Kim J K, Cho K, Jang J, Baek K Y, Kim J, Seo J, Song M, Shin J, Kim J, Parkin S S P, Lee J H, Kang K, Lee T **2021** *Adv. Mater.* **33** 2101598
- [17] Luo W, Zhu M J, Peng G, Zheng X M, Miao F, Bai S X, Zhang X A, Qin S Q **2018** *Adv. Funct. Mater.* **28** 1704539
- [18] Qi D Y, Han C, Rong X M, Zhang X W, Chhowalla M, Wee A T S, Zhang W J **2019** *ACS Nano* **13** 9464
- [19] Tosun M, Chuang S, Fang H, Sachid A B, Hettick M, Lin Y J, Zeng Y P, Javey A **2014** *ACS Nano* **8** 4948
- [20] Yu L L, Zubair A, Santos E J G, Zhang X, Lin Y X, Zhang Y H, Palacios T **2015** *Nano Lett.* **15** 4928
- [21] Liu Y, Guo J, Zhu E, Liao L, Lee S J, Ding M, Shakir I, Gambin V, Huang Y, Duan X **2018** *Nature* **557** 696
- [22] Wang Y, Kim J C, Li Y, Ma K Y, Hong S, Kim M, Shin H S, Jeong H Y, Chhowalla M **2022** *Nature* **610** 61
- [23] Pan C, Wang C-Y, Liang S-J, Wang Y, Cao T, Wang P, Wang C, Wang S, Cheng B, Gao A, Liu E, Watanabe K, Taniguchi T, Miao F **2020** *Nat. Electron.* **3** 383
- [24] Pang C S, Thakuria N, Gupta S K, Chen Z **2018** *IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, December 1–5, 2018 pp22.2.1–22.2.4
- [25] Resta G V, Balaji Y, Lin D, Radu I P, Catthoor F, Gaillardon P E, De Micheli G **2018** *ACS Nano* **12** 7039
- [26] Guo Y, Li J, Zhan X, Wang C, Li M, Zhang B, Wang Z, Liu Y, Yang K, Wang H, Li W, Gu P, Luo Z, Liu Y, Liu P, Chen B, Watanabe K, Taniguchi T, Chen X-Q, Qin C, Chen J, Sun D, Zhang J, Wang R, Liu J, Ye Y, Li X, Hou Y, Zhou W, Wang H, Han Z **2024** *Nature* **630** 346
- [27] Kong L G, Zhang X D, Tao Q Y, Zhang M L, Dang W Q, Li Z W, Feng L P, Liao L, Duan X F, Liu Y **2020** *Nat. Commun.* **11** 1866
- [28] Li R, Lu F, Deng J, Fu X, Wang W, Tian H **2024** *J. Semicond.* **45** 012701
- [29] Jobayr M R, Salman E M T **2023** *J. Semicond.* **44** 032001
- [30] Chou S A, Chang C, Wu B H, Chuu C P, Kuo P C, Pan L H, Huang K C, Lai M H, Chen Y F, Lee C L, Chen H Y, Shiue J, Chang Y M, Li M Y, Chiu Y P, Chen C W, Ho P H **2025** *Nat. Commun.* **16** 2777
- [31] Herrmann P, Klimmer S, Lettau T, Weickhardt T, Papavasileiou A, Mosina K, Sofer Z, Paradisanos I, Kartashov D, Wilhelm J, Soavi G **2025** *Nat. Photonics* **19** 300
- [32] Oberoi A, Han Y, Stepanoff S P, Pannone A, Sun Y, Lin Y C, Chen C, Shallenberger J R, Zhou D, Terrones M, Redwing J M, Robinson J A, Wolfe D E, Yang Y, Das S **2023** *ACS Nano* **17** 19709
- [33] Liu X, Shan J, Cao T, Zhu L, Ma J, Wang G, Shi Z, Yang Q, Ma M, Liu Z, Yan S, Wang L, Dai Y, Xiong J, Chen F, Wang B, Pan C, Wang Z, Cheng B, He Y, Luo X, Lin J, Liang S J, Miao F **2024** *Nat. Mater.* **23** 1363
- [34] Rabae J M (translated by Zhou R D) 2004 *Digital Integrated Circuits A Design Perspective* (Beijing: Publishing House of Electronics Industry) pp136–140 (in Chinese) [拉贝艾简 M 著 (周润德译) 2004 数字集成电路—电路、系统与amp;设计 (北京: 电子工业出版社) 第 136—140 页 {译著}]
- [35] Park Y J, Katiyar A K, Anh Tuan H, Ahn J H **2019** *Small* **15** 1901772

SPECIAL TOPIC—2D materials and future information devices·COVER ARTICLE

One-step-annealing-process constructed WSe₂ complementary transistors*

CUI Xinyu¹⁾ SHAN Junjie^{2)†} SUN Xiaoyu¹⁾ PAN Chen^{3)‡}
 SUN Jiameng³⁾ YU Wentao³⁾ LIANG Shijun^{1)††} MIAO Feng¹⁾

1) (National Laboratory of Solid State Microstructures, School of Physics, Nanjing University, Nanjing 210093, China)

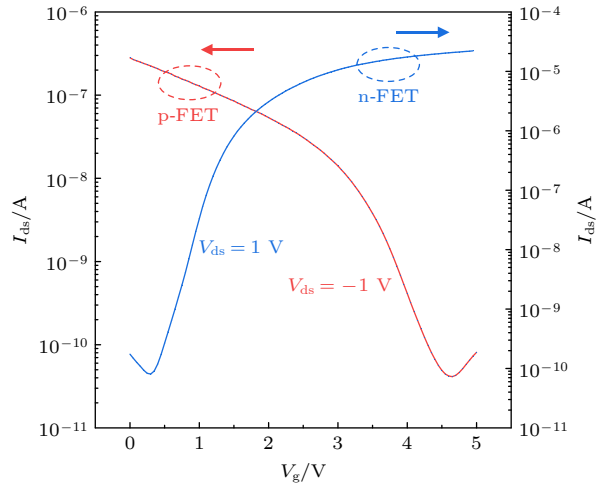
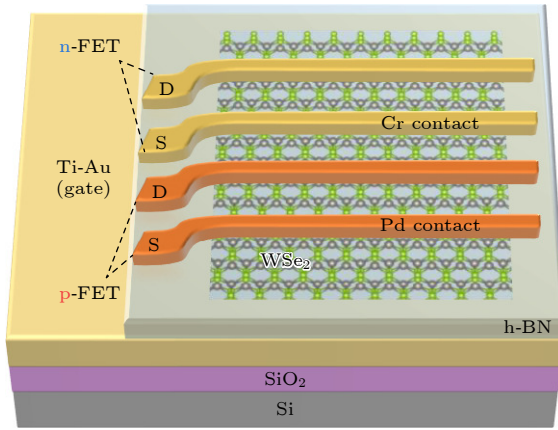
2) (Key Laboratory of State Manipulation and Advanced Materials in Provincial Universities,
 School of Physics and Technology, Nanjing Normal University, Nanjing 210023, China)

3) (Institute of Interdisciplinary Physical Sciences, School of Physics, Nanjing University of
 Science and Technology, Nanjing 210094, China)

(Received 18 May 2025; revised manuscript received 5 June 2025)

Abstract

Two-dimensional (2D) semiconductor materials exhibit tremendous potential for post-Moore integrated circuits due to their unique physical properties and superior electrical characteristics. However, critical challenges in polarity modulation and complementary integration have significantly hindered the practical applications of 2D materials. The development of compatible polarity-modulation techniques has emerged as a critical step in achieving device functional integration for constructing 2D materials-based complementary circuits. This study innovatively proposes a one-step-annealing-driven polarity-modulation strategy for 2D semiconductors. It is demonstrated in this study that the conduction behavior of Pd-contacted WSe₂ transistors transitions from n-type to p-type dominance after annealing, while Cr-contacted devices maintain n-type dominance. Based on this polarity-modulation strategy, by selectively fabricating source and drain electrodes



* Project supported by the National Key R&D Program of China (Grant Nos. 2022YFA1402500, 2023YFF1203600), the National Natural Science Foundation of China (Grant Nos. 62122036, 62034004, 61921005, 62204112), and the Natural Science Foundation of Jiangsu Province, China (Grant No. BK20220774).

† Corresponding author. E-mail: junjieshan@njjnu.edu.cn

‡ Corresponding author. E-mail: chenpan@njust.edu.cn

†† Corresponding author. E-mail: sjliang@nju.edu.cn

with different metal materials (Pd and Cr) on the same WSe₂, combined with a one-step annealing process, the monolithic integration of complementary transistors is achieved, thereby realizing inverter function through device interconnection. The fabricated inverters exhibit a high voltage gain of 23 and a total noise margin of 2.3 V(0.92 V_{dd}) at an applied V_{dd} of 2.5 V. This work not only establishes a novel technical pathway for polarity modulation in 2D materials but also provides crucial technological support for developing 2D semiconductor-based complementary logic circuits.

Keywords: tungsten diselenide, polarity modulation, complementary transistors

PACS: 85.30.Tv, 72.80.Ga, 85.30.Pq, 85.30.De

DOI: [10.7498/aps.74.20250648](https://doi.org/10.7498/aps.74.20250648)

CSTR: [32037.14.aps.74.20250648](https://cstr.cn/32037.14.aps.74.20250648)



一步退火工艺构建WSe₂互补晶体管

崔馨雨 单俊杰 孙肖瑜 潘晨 孙佳萌 于文韬 梁世军 缪峰

One-step-annealing-process constructed WSe₂ complementary transistors

CUI Xinyu SHAN Junjie SUN Xiaoyu PAN Chen SUN Jiameng YU Wentao LIANG Shijun MIAO Feng

引用信息 Citation: *Acta Physica Sinica*, 74, 178501 (2025) DOI: 10.7498/aps.74.20250648

CSTR: 32037.14.aps.74.20250648

在线阅读 View online: <https://doi.org/10.7498/aps.74.20250648>

当期内容 View table of contents: <http://wulixb.iphy.ac.cn>

您可能感兴趣的其他文章

Articles you may be interested in

ReSe₂/WSe₂记忆晶体管的光电调控和阻变特性

Photoelectric modulation and resistive switching characteristic of ReSe₂/WSe₂ memtransistor

物理学报. 2022, 71(21): 217302 <https://doi.org/10.7498/aps.71.20221154>

AuCl₃掺杂对碳纳米管晶体管的电学性能调控及特性分析

Modulation of electrical properties in carbon nanotube field-effect transistors through AuCl₃ doping

物理学报. 2021, 70(23): 238801 <https://doi.org/10.7498/aps.70.20211026>

电场调控双层WSe₂转角同质结激子莫尔势

Exciton moiré potential in twisted WSe₂ homobilayers modulated by electric field

物理学报. 2022, 71(17): 177301 <https://doi.org/10.7498/aps.71.20220664>

低温快速制备基于溶液工艺的高性能氧化铟薄膜及晶体管

Low-temperature rapid preparation of high-performance indium oxide thin films and transistors based on solution technology

物理学报. 2024, 73(9): 096802 <https://doi.org/10.7498/aps.73.20240082>

垂直短沟道二硫化钼场效应晶体管

Vertical short-channel MoS₂ field-effect transistors

物理学报. 2022, 71(21): 218502 <https://doi.org/10.7498/aps.71.20220738>

石墨烯晶体管优化制备工艺在单片集成驱动氮化镓微型发光二极管中的应用

Applications of graphene transistor optimized fabrication process in monolithic integrated driving gallium nitride micro-light-emitting diode

物理学报. 2021, 70(19): 197801 <https://doi.org/10.7498/aps.70.20210122>