

3D NAND 存储芯片生产线 CMP 工艺及设备配置研究

程星华 白帆* 赵馨飞 邱雪皎
(中国电子工程设计院有限公司 北京 100142)

CMP Process and Equipment Configuration of 3D NAND Memory Chip Production Line

CHENG Xinghua, BAI Fan*, ZHAO Xinfei, QIU Xuejiao
(China Electronic Engineering Design Institute Limited Company, Beijing 100142, China)

Abstract With the rising of 5G, internet of things, automatic driving and other new industries, human society will produce a large amount of information data, which will greatly promote the rapid development of the memory chip industry. As the mainstream technology of memory chips, 3D NAND has the characteristics of multi-layer vertical stacking and high aspect ratio. In the production process of different technology nodes, equipment selection and quantity configuration have an important impact on the chip production line planning and design. Based on the X-tacking technology in 3D NAND, this paper analyzes the related problems of chemical mechanical planarization (CMP) process and equipment configuration. Through the analysis of the characteristics of different processes of CMP process, the selection and configuration of different equipment are determined. The process requirements of CMP under different technology nodes of 3D NAND are studied, and the corresponding equipment number configuration relationship is obtained by comparative analysis. This study provides a theoretical basis and guidance for the equipment selection and quantity configuration of 3D NAND project and provides support for the preliminary design of the project.

Keywords Semiconductor memory, Chemical mechanical planarization, Technology node, Equipment selection, Quantity disposition

摘要 随着 5G、物联网、自动驾驶等新型产业的兴起,人类社会将产生海量的信息数据,因而极大促进了存储芯片产业的快速发展。3D NAND 作为存储芯片的主流技术,器件结构具有多层垂直堆叠、高深宽比等特点。在其不同技术节点的产品生产加工过程中,设备选型与数量配置对芯片生产线的规划设计具有重要影响。文章从 3D NAND 中的 X-tacking 技术出发,分析了化学机械研磨(CMP)工艺及设备配置的相关问题;通过对 CMP 工艺不同制程特点的分析,确定了其对不同设备的选型配置问题;研究了 3D NAND 不同技术节点下 CMP 的制程要求,对比分析得出了其相应的设备数量配置关系。研究对 3D NAND 项目的设备选型和数量配置提供理论依据和指导,对项目前期设计组线提供支撑。

关键词 半导体存储 化学机械研磨 技术节点 设备选型 数量配置

中图分类号: TN405; TP333

文献标识码: A

doi: 10.13922/j.cnki.cjvst.202212013

近年来,随着 5G、物联网、自动驾驶等新型产业的兴起,作为信息技术产业核心基础的集成电路产业也得到快速发展^[1]。基于此类新兴信息产业在工作生活中的广泛应用,人类社会会产生海量的数字信息资源,对这些信息的存储与分析需求亦促进了存储芯片产业的快速发展,即单位体积拥有更多

存储容量的高性能芯片。为此,存储芯片的高性能不仅要从结构上从二维(2D NAND)向三维(3D NAND)转换^[2],在生产制造工艺和产线工程端也有着更高的需求。

化学机械研磨(Chemical Mechanical Planarization, CMP)工艺是芯片制造过程中的核心工艺之

一,其能够实现晶圆表面的整体平坦化,保证晶圆表面薄膜的厚度均匀性^[3]。3D NAND 存储芯片有着高堆叠层数和高深宽比深孔结构的特点,其对 CMP 工艺厚薄膜移除及表面均匀性提出了更高的要求。同时,随着 3D NAND 技术节点的发展,即堆叠层数的增加,其对 CMP 工程化要点,如设备配置、工艺布局等也有着重要的影响。本文以 3D NAND 典型芯片结构为基础,对不同 CMP 制程的工艺原理和特点、不同节点下的 CMP 设备配置关系进行了分析研究,以期能够促进 CMP 工艺工程在 3D NAND 中的发展。

1 3D NAND 存储芯片的分类与特点

存储芯片是一种以电信号存储方式工作的存储器,以 DRAM、Nor Flash 和 NAND Flash 为主。其中,NAND Flash 因为存储及擦除信息速度快、存储密度高、成本低等优点,近年来发展迅猛^[4,5]。如图 1 所示,为一个 NAND Flash 基础存储单元,为浮栅型结构。当存储单元执行写入操作时,P 阱中电子会注入浮栅中,此时其处于逻辑“1”状态;当进行擦除操作时,浮栅中电子被“放逐”至 P 阱中,此时处于逻辑“0”状态,NAND Flash 通过改变控制栅极

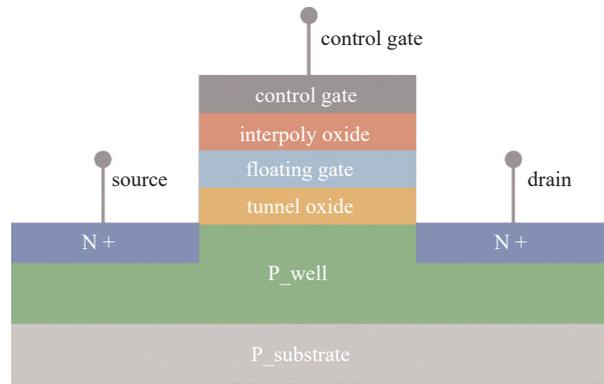


图1 浮栅晶体管器件结构示意图

Fig. 1 Schematic diagram of floating gate transistor device structure

的阈值电压进行存储控能。

随着技术与需求的发展,平面 2D NAND Flash 的栅极结构和氧化层逐渐减小与变薄,从而导致了器件可靠性的降低,逐渐不能满足大容量、高速率的产品需求。因此,NAND Flash 的发展开始转向三维空间,即 3D NAND,常见的方法为将二维平面结构进行垂直构造,通过一个圆柱形的沟道来制备电荷俘获单元,从而在保证性能的同时能够实现更大的存储容量,如图 2 所示为 2D 与 3D NAND Flash 的性能对比。

	2D NAND	3D NAND
schematic		
storage capacity per chip	maximum 128 Gb	256 Gb/512 Gb (still room for growth)
storage unit	floating gate type	floating gate type or charge trapping type
reliability	lower	higher
storage rate	slower	faster
power consumption	higher	lower

图2 2D 与 3D NAND 的结构与性能对比示意图

Fig. 2 Comparison of structure and performance of 2D and 3D NAND

对于 3D NAND 芯片结构来说,其通常由 CMOS 驱动电路和 Array 存储阵列两部分组成,当前主流技术架构可分为 CMOS Under Array(CUA)^[6]和 X-tacking^[7]两种。其中按 Array 部分的工艺路线可分为四种技术路线:TCAT(Terabit Cell Array Transistor)、BiCS(Bit Cost Scalable)、P-BiCS(Pipe-Shaped Bit Cost Scalable)和 FG(Floating Gate),如表 1 中为四种技术路线的优劣对比。在 3D NAND 制造中,CUA 的芯片架构通常是先进行 CMOS 驱动电路结

构的制备,在其基础上再进行 Array 存储结构的制备,这种架构的缺点有在后续的阵列加工部分会涉及高温高压的工艺,会对之前的逻辑电路产生影响;同时,CMOS 外围电路占整个芯片的面积无法减少,芯片上总有部分面积无法实现存储作用,使得芯片利用率低;此外,先外围电路再阵列制造时,如发现问题再进行工艺调整使得整个研发制造周期变长。而对于 X-tacking 来说,其通过将 CMOS 和 Array 分开加工,外围电路不受影响,提高了存储的面积利

表1 Array部分四种技术路线的对比

Tab. 1 Comparison of four technical routes in Array

技术路线	TCAT	BiCS	P-BiCS	FG
优点	(1) 更快的擦除速度 (2) 更强的电荷保持能力 (3) 更大的阈值电压窗口值 (4) 更低的字线引线电阻 (5) 可大大提高制造速度	(1) 写入/擦除窗口更宽、且工艺简单 (2) 闪存核心面积低, 且成本较低	改善了 BiCS 闪存的限制, 包括: 写入/擦除窗口、保持特性、源极的高电阻和多位操作	(1) 成本较低、核心容量大 (2) 读取干扰性小、数据保持期长、可靠性高等
缺点	(1) 工艺难度大 (2) 可靠性低于 FG 技术路线 制程的芯片	(1) 电荷易层间漂移扩散 (2) 源极线电阻高、保持特性差 (3) 写入/擦除窗口窄、可靠性低于 FG 技术	(1) 电荷易层间漂移扩散 (2) 写入/擦除窗口窄、可靠性低于 FG 技术	需要进行层间分隔、因此制备工艺更加复杂

用率,也缩短了研发生产周期。随着存储需求的不断增加,Array阵列的堆叠层数也将成倍增高,X-tacking将成为未来3D NAND闪存主流技术架构的发展趋势。

因此,本文以X-tacking技术为基础,进行CMP工艺及其设备配置的分析研究工作。

2 3D NAND制备中CMP制程及特点

在3D NAND X-tacking制备中,CMOS结构和Array结构分别为两片晶圆进行制造,但对于CMP制程来说,其可以分为氧化物研磨(Oxide CMP)、多晶硅研磨(Poly-Si CMP)和金属研磨(Metal CMP)三类,其分别在不同的制造阶段对相应的功能层进行平坦化作用。

2.1 Oxide CMP

在3D NAND制备中,Oxide CMP包含浅沟槽隔离(Shallow Trench Isolation CMP, STI CMP)和层间电介质(Inter-Layer Dielectric CMP, ILD CMP)两种类型。STI CMP工艺制程一般在用于制备CMOS阶段,STI是用氧化层将两个门电路之间隔离开,使得门电路之间互不导通^[8]。这种技术是先在门电路预留位置的两侧进行沟槽结构的刻蚀,接着在沟槽中进行氧化层的沉积,由于沟槽结构与两侧存在高度差,沉积薄膜呈现高低起伏结构。STI CMP主要就是将在沟槽结构以外的薄膜层进行研磨移除,停在氮化硅(SiN)上,见图3(a),由于在研磨过程中要接触到不同的薄膜层,其能否准确的停在SiN表面是STI CMP制程的关键因素,如果提前停止研磨会造成表面薄膜研磨不够,而过量研磨会使得STI内的薄膜厚度减少,影响芯片良率。

ILD CMP也可称Oxide CMP,是由于其研磨过程主要移除的薄膜为氧化物。ILD是用氧化层将不

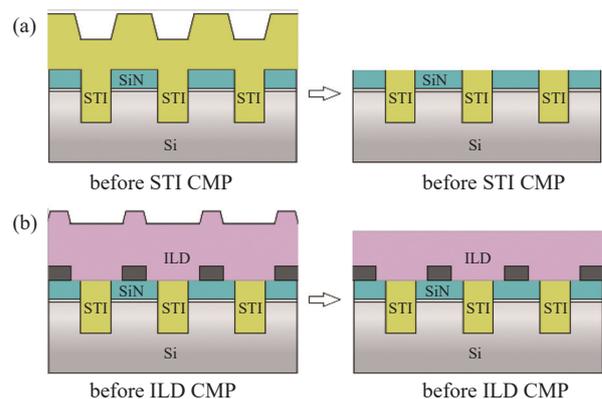


图3 STI CMP与ILD CMP工艺前后的薄膜结构示意图。(a)浅沟槽隔离平坦化,(b)层间介质平坦化

Fig. 3 Schematic diagram of the film structure before and after STI CMP and ILD CMP processes (a) STI_CMP, (b) ILD_CMP

同功能层之间进行隔离,使得层与层之间、金属导线之间不导通^[9]。一方面,ILD介质层较厚,因此研磨过程对研磨速率的需求较高,可以通过选用不同类型的研磨液进行提升;另一方面,ILD CMP整个过程主要是对氧化硅的研磨,是一种薄膜内停止的研磨过程,其在研磨过程中移除一定厚度薄膜且不接触到两种薄膜的界面,如图3(b)。因此,对其停止点的精准监测是其核心需求之一。

2.2 Poly CMP

3D NAND Array单元中,在形成具有高深宽比的竖向沟道中,需要沉积Poly进行连接作用。Poly CMP工艺中是将多晶硅薄膜进行研磨,停在其它氧化物界面层,其过程原理与STI CMP类似,利用研磨浆料对不同介质材料的高选择比,在停止层界面感应研磨转盘扭矩的变化进行研磨过程的停止,在此不再赘述。

2.3 Metal CMP

在 3D NAND 制备中, Metal CMP 包含金属钨 (W CMP) 和金属铜 (Cu CMP) 两种类型^[10]。

W CMP 主要应用于 CMOS 的金属连接和 Array 中的位线金属连接^[11]。对于 W CMP 工艺来说, 其是一种金属化学机械研磨过程, 金属与研磨浆料接触时, 浆料中的氧化剂会将金属表面进行氧化形成金属氧化物, 保护内部的金属进一步氧化, 同时, 在研磨垫和研磨粒子的机械作用下, 将氧化的金属氧化层进行移除, 将金属表面再次暴露重复氧化过程和氧化物移除过程。与 STI CMP 类似, W CMP 也是一种薄膜间停止的 CMP 工艺, 如图 4(a), 研磨过程为先将表面的钨金属进行快速研磨, 当其研磨至表面出现氧化物层时进行停止, 再通过精细研磨过程将表面氧化物进行移除, 将钨栓塞稍露出一部分, 以便于进行后续的金属互连过程。

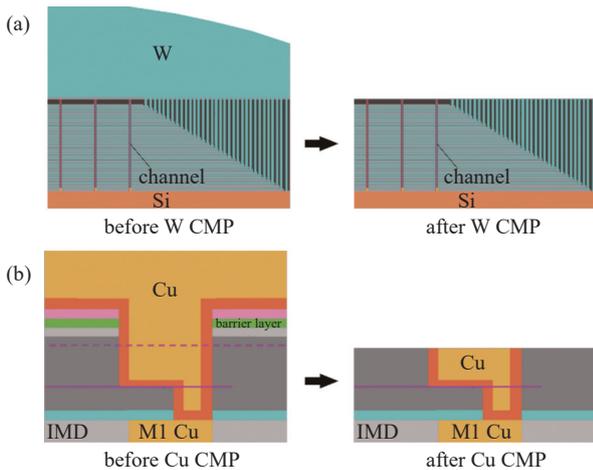


图4 W CMP 与 Cu CMP 工艺前后的薄膜结构示意图。
(a) 钨平坦化, (b) 铜平坦化

Fig. 4 Schematic diagram of the film structure before and after W CMP and Cu CMP processes. (a) W_CMP, (b) Cu_CMP

Cu CMP 是用于后段铜金属互连工艺薄膜的平坦化, 其主要是应用大马士革工艺, 如图 4(b), 即先在氧化物层上刻蚀出互连孔洞或者沟槽, 再进行铜金属的沉积, 沉积之后再利用 Cu CMP 工艺将铜金属层移除, 从而得到铜互连层^[12]。在 3D NAND 的制备中, Cu CMP 通常用在 CMOS 和 Array 制备部分的后段金属互连。与 W CMP 相同, Cu CMP 也是金属平坦化, 其停止点在金属与氧化层的界面, 属于薄膜间停止。对于铜金属来说, 其易于向侧壁与基底进行扩散, 因此在沉积铜金属层之前要先沉

积一层隔绝层(barrier layer), 在 Cu CMP 过程中要充分考虑到隔绝层的因素进行设备与耗材的选择。此外, 后段铜金属层相较于前段氧化层更厚, 在研磨过程中晶圆与研磨垫之间的摩擦温度会影响到研磨效果, 更厚的铜金属层所需研磨速率应更高, 以减少研磨时间从而弱化摩擦高温对晶圆表面的影响。

3 3D NAND 制备中 CMP 设备配置关系研究

3.1 CMP 设备的选型配置

对于半导体项目, 工艺设备是其整个生产线的核心, 设备类型的选择能够直接影响产品良率、生产效率、投资成本等多方面。半导体工艺设备类型的选择, 应首先分析对应工艺制程的需求特点, 不同的制程对设备的需求不同, 针对特定工艺需求分析不同设备的功能特点, 将两者进行有机匹配, 综合考虑成本单价因素, 从而确定设备的类型。如图 5 所示, 对于 CMP 工艺设备的选型, 其主要在研磨速率、停止点和表面缺陷上有着特定需求, 并且对于设备的耗材, 例如 slurry、pad 和 disk 等同样有着不同的要求和选择^[10,13,14]。

3D NAND 芯片制备有着沉积薄膜厚和表面凹凸结构复杂的特点, 因此对 CMP 工艺设备类型的选择应以上述特点为基础进行。以 STI CMP 为例, 其薄膜移除过程通常要经过三个阶段, 分别称为 P1、P2 和 P3。P1 是快速平坦化阶段, 使用的研磨浆料和研磨垫均是能够快速移除氧化物薄膜的类型; P2 是薄膜停止点阶段, 使用具有高选择比的研磨浆料(如二氧化铈颗粒), 同时需要在研磨转盘中配置高灵敏度的扭矩感应器, 通过监测研磨垫与晶圆之间薄膜介质的摩擦力变化, 进行系统端研磨过程的停止; P3 是对晶圆精细研磨修整阶段, 通常是使用软质的研磨垫结合高纯水或特殊化学试剂, 对晶圆表面进行精细研磨, 去除 P1、P2 阶段的研磨杂质和表面微小缺陷, 薄膜移除量极低。因此 STI CMP 制程可选择 AMAT 公司的 Reflexion LK 设备, 其具有三个旋转研磨盘, 且在 P2 的研磨盘上配备有高灵敏度的扭矩感应器, 同时搭配合适的研磨耗材, 能够满足 STI CMP 的工艺需求。

Poly CMP 的设备选择与 STI CMP 选择类似, 在此不再赘述。

Oxide CMP 所用设备通常也具有三个研磨转盘, 其 P1、P2、P3 的耗材配置通常是相同的, 对于

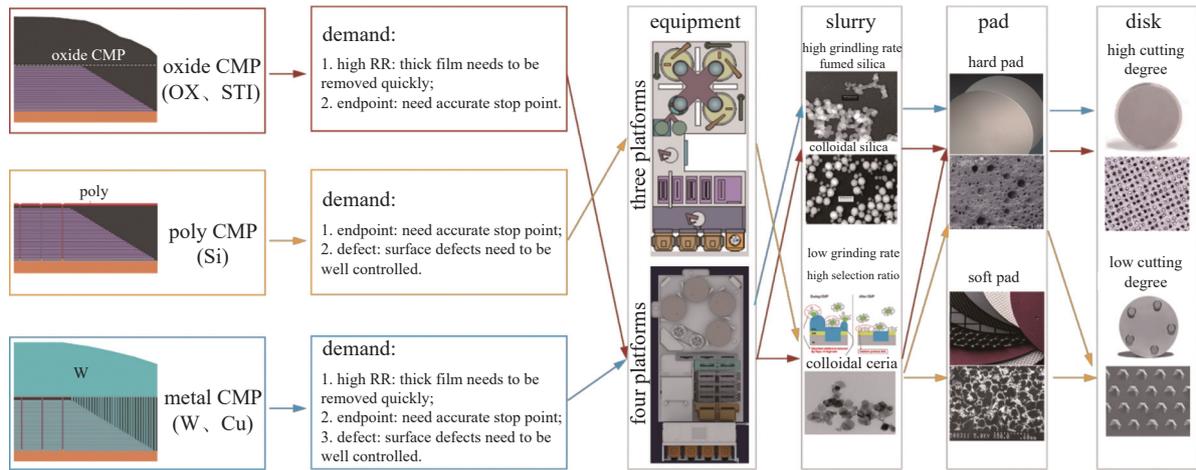


图5 CMP工艺与设备的选型关系

Fig. 5 The relationship between CMP process and equipment selection

Oxide CMP 来说,其对于设备的需求主要是在于对厚度的掌控。由于没有不同材质薄膜层充当停止层,其设备必须依靠一套制程自动控制系统(Auto Program Control, APC)进行薄膜厚度的控制,并通常会配置有小型的量测设备,从而保证晶圆量测率在 100%,也能够及时将量测结果进行系统反馈。

对于 W CMP 的工艺过程,同样使用具有三个研磨转盘的的设备,在 P1 阶段,主要是利用高研磨速率的浆料和研磨垫将钨金属快速移除;在 P2 阶段,不仅要将金属钨薄膜层移除,还要将金属钨下的 Ti/TiN 薄膜层移除,露出能够进行光反射的氧化物层。在此阶段,需要在研磨转盘中配置激光器与感应器,同时需使用具有透光窗口的研磨垫,当研磨至氧化物层时可将光线进行反射,通过感应器的感应使得研磨过程停止,从而能够使得薄膜层准确停在界面层上;在 P3 阶段,应使用对氧化物与钨具有高选择比的浆料,即对氧化物研磨速率快,对金属物研磨速率慢,从而在精细研磨过程中能够将钨栓

塞露出氧化物层表面,有利于后续金属互连的工艺。

对于 Cu CMP 工艺来说,其应用设备的研磨转盘个数可选三个或四个,以三个转盘的设备为例,在 P1 阶段,与其它 CMP 工艺类似,是将金属薄膜进行快速移除的过程,但不同的是,由于沉积的金属铜厚度较厚,能够达到微米级别,在研磨过程中其表面平整度会有较大的变化,这就需要对设备的 P1 转盘引入实时过程控制系统(Real Time Process Control, RTPC)^[15]。此系统能够实时动态的调节研磨头中各个区域的下压力,使得铜薄膜表面保持较均一的平整度;在 P2 阶段,与 W CMP 类似,要通过对氧化物层反射光线的探测进行研磨过程的停止,一般称为全域扫描(Full Scan)技术;P3 阶段主要是对氧化物层表面铜阻挡层的研磨过程,从而需要对研磨浆料有着高选择比的需求,即在对阻挡层进行研磨的同时,对铜金属的研磨速率慢,从而达到有效移除阻挡层的作用。对于 3D NAND 制备中不同 CMP 制程的设备选型,如表 2 所示。

表 2 3D NAND 各 Block 中 CMP 制程的设备选型

Tab. 2 Equipment selection of CMP process in each Block of 3D NAND

器件组成	结构模块 (Block)	CMP 制程 (Step)	CMP 设备类型
CMOS	浅沟道隔离工艺	STI_CMP	扭矩停止点
	栅极工艺	Oxide_CMP	APC 系统
	接触点工艺	W_CMP	Full Scan 停止点
	金属互连工艺	Cu_CMP	RTPC、Full Scan 和扭矩停止
	台阶工艺	Oxide_CMP	APC 系统
Array	通孔工艺	Poly_CMP	扭矩停止点
	隔离沟槽工艺	W_CMP	Full Scan 停止点
	接触点工艺	W_CMP	Full Scan 停止点
	金属互连工艺	Cu_CMP	RTPC、Full Scan 和扭矩停止

3.2 不同技术节点与 CMP 设备数量配置的关系

对于 X-tacking 技术来说, 其 CMOS 部分和 Array 部分分别是两片晶圆进行制备, 在制备 CMOS 控制电路时所包括的 CMP 制程有 STI CMP、Oxide CMP、W CMP 和 Cu CMP。CMOS 部分的 CMP 工艺次数和设备数量配置如图 6(a)和 6(b)中所示, 1 次 STI CMP 工艺形成浅沟槽隔离结构, 1 次 Oxide CMP 工艺形成中介介质层, 2 次 W CMP 形成钨栓塞和第一金属互连层, 3 次 Cu CMP 形成铜金属互连层, 32L 时 CMOS 部分未用到 Cu CMP 制程。另一方面, 由于薄膜厚度的增加只发生在 Array 部分, CMOS 部分各薄膜厚度未发生变化, 因此其对应的设备数量(已做归一化处理)也应未发生变化。本文中的 CMP 设备数量, 是基于不同技术节点下, 对已有项目的相关数据进行理论推导得出。

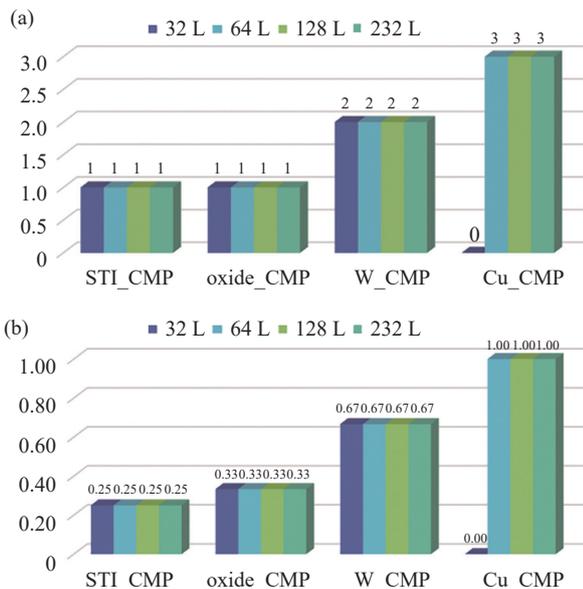


图6 CMOS 制备中不同堆叠层数下 CMP 的工艺次数和设备数量配置。(a)工艺次数, (b)设备数量

Fig. 6 Number of CMPS and number of devices for different number of stacking layers in CMOS fabrication. (a) processing times, (b) equipment quantity

在制备 Array 存储单元时所包括的 CMP 制程有 Oxide CMP、Poly CMP、W CMP 和 Cu CMP。在 Array 单元中, Oxide CMP 和 W CMP 所移除的薄膜厚度为整个堆叠层的厚度, 远大于在 CMOS 中的 CMP 移除量, 所以在这两道制程中应使用高研磨速率的耗材配置。对于 Poly CMP 与 Cu CMP 制程, 其通常是在形成堆叠存储单元之后, 在上层作为导电互连结构, 因此其研磨过程不涉及整个存储单元

的厚度。如图 7(a)和 7(b)中所示, 当堆叠层由 32L 到 64L 时, Oxide CMP 和 W CMP 的工艺次数没有发生变化, Poly CMP 与 Cu CMP 的工艺次数分别增加一倍, 由于沉积的薄膜厚度加倍, 在考虑到研磨速率没有变化的前提下, 除了 W CMP 的设备数量不变, 其余 CMP 工艺的设备数量均有所增加; 当堆叠层由 64L 到 128L 时, 由于一个 128L 的存储单元是由两个 64L 堆叠层叠加而成, 因此四种 CMP 工艺次数同样也都有所增加, 其中 Oxide CMP 和 Poly CMP 的工艺增加次数均为一倍, 同时四种 CMP 工艺相对应的设备数量也都有不同程度的增加。当堆叠层由 128L 到 232L 时, 由于同样采用“双堆栈”技术, 所以使用的 CMP 工艺次数与 128L 时一样, 没有发生变化, 在 CMP 设备数量方面, 由于只是每个 stack 的堆叠厚度增加, 所以只有 Oxide CMP 的

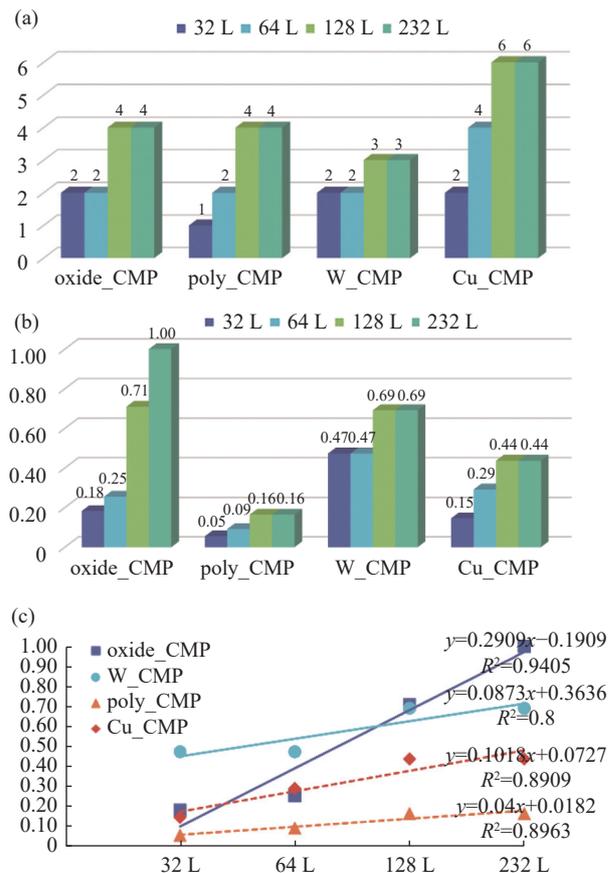


图7 Array 制备中不同对叠层数下 CMP 的工艺次数和设备数量配置。(a)工艺次数, (b)设备数量, (c)不同技术节点下不同 CMP 工艺与设备数量的关系

Fig. 7 The number of CMPS and the number of devices for different pairs of stacks in Array preparation. (a) Processing times, (b) equipment quantity, (c) equipment quantity relationship

设备数量增加,而对于后段工艺 Poly CMP、W CMP 和 Cu CMP 的设备数量没有发生变化。如图 7(c) 中所示,对于 Oxide CMP,其设备数量的增加随着技术节点的升级,呈现较为显著的正相关性,而对于 Poly CMP、W CMP 和 Cu CMP,其在由 32L 到 232L 变化时正相关性不如 Oxide CMP。

4 结语与展望

3D NAND 存储芯片的快速发展,对其产线建设和产品质量都提出更高的要求,同时对制造过程中各工艺及设备配置问题也有着新的需求。本文以 3D NAND X-tacking 技术为基础,分析研究了某项目中 CMP 各工艺制程的特点和相应设备配置要点,从工艺流程、工艺设备选型和数量配置以及动力需求方面,研究了其与不同技术节点的对应关系。本研究对 3D NAND 项目的设备选型和数量配置提供理论依据和指导,对项目前期设计组线提供支撑。

随着技术与需求的发展,存储芯片势必会向着更高存储密度、更快写入擦除速度和更可靠稳定的方向发展,随之而来的是对制造过程中各工艺的更高质量需求。因此,对工艺及设备配置等相应工程化要点的研究,能够实现产线高效稳定运行和产品高质量输出打下基础,其在存储芯片的发展中将扮演越来越重要的角色。

参 考 文 献

- [1] Xia Xutian, Li Zhen, Liang Yufang, et al. "New infrastructure "has three aspects and seven fields[J]. Enterprise Observer, 2020(104): 40-43 (夏旭田,李振,梁宇芳,等. "新基建"的三大方面、七大领域[J]. 企业观察家, 2020(104): 40-43(in chinese))
- [2] Lam Research. The development history, current challenges and countermeasures of semiconductor memory[J]. China Integrated Circuits, 2021, 30(10): 15-17 (泛林集团. 半导体存储器的发展历史与当前挑战及其对策[J]. 中国集成电路, 2021, 30(10): 15-17(in chinese))
- [3] Xiu Shudong, Ni Zhongjin, Chen Maojun. Research progress of chemical mechanical polishing[J]. Mechanical research and application, 2008, 21(06): 10-13 (修树东,倪忠进,陈茂军. 化学机械抛光的研究进展[J]. 机械研究与应用, 2008, 21(06): 10-13(in chinese))
- [4] Liu Ming. Semiconductor memory technology[J]. Technology Bulletin, 2019, 37(03): 62-65 (刘明. 半导体存储器技术[J]. 科技导报, 2019, 37(03): 62-65(in chinese))
- [5] Huang Jiaoying, Wang Lequn, Gao Cheng. Review of single event effect test of Flash memory[J]. Application of electronic technology, 2020, 46(07): 44-48+52 (黄姣英,王乐群,高成. Flash存储器单粒子效应测试研究综述[J]. 电子技术应用, 2020, 46(07): 44-48+52(in chinese))
- [6] Goda Akira. Recent progress on 3D NAND flash technologies[J]. Electronics, 2021, 10(24)
- [7] Sicong Wang, Jian Mi, Abhishek Vikram, et al. Novel pattern-centric solution for Xtacking™ AFM metrology[J]. Journal of Microelectronic Manufacturing, 2019, 2(3)
- [8] Application of APC in Direct STI CMP[J]. Integrated circuit application, 2021, 38(05): 29-31 (石强,李儒兴,李协吉. APC在Direct STI CMP中的应用研究[J]. 集成电路应用, 2021, 38(05): 29-31.(in chinese))
- [9] Zhan Yang, Zhou Guoan, Wang Donghui, et al. CMP process analysis of interlayer dielectric (ILD)[J]. Electronic industry special equipment, 2016, 45(06): 40-44 (詹阳,周国安,王东辉,等. 层间介质(ILD)CMP工艺分析[J]. 电子工业专用设备, 2016, 45(06): 40-44(in chinese))
- [10] Lee H, Lee D, Jeong H. Mechanical aspects of the chemical mechanical polishing process: a review[J]. International journal of precision engineering and manufacturing, 2016, 17: 525-536
- [11] Jia Yingxi, Niu Xinhuan, Wang Xianbin. Chemical interaction between components of alkaline slurry in tungsten CMP and its influence[J]. Micro-nano electronic technology, 2015, 52(05): 334-338 (贾英茜,牛新环,王现彬. 钨CMP中碱性抛光液组分间化学作用及其影响[J]. 微纳电子技术, 2015, 52(05): 334-338(in chinese))
- [12] Jia Yingxi, Niu Xinhuan, waist red. Electrochemical behavior of oxidant in alkaline slurry for copper CMP[J]. Microelectronics, 2017, 47(04): 586-589+592 (贾英茜,牛新环,腰彩红. 铜CMP碱性抛光液中氧化剂的电化学行为研究[J]. 微电子学, 2017, 47(04): 586-589+592(in chinese))
- [13] Zhang Z, Liao L, Wang X, et al. Development of a novel chemical mechanical polishing slurry and its polishing mechanisms on a nickel alloy[J]. Applied Surface Science, 2020, 506: 144670
- [14] Lee H, Kim H, Jeong H. Approaches to sustainability in chemical mechanical polishing (CMP): a review[J]. International Journal of Precision Engineering and Manufacturing-Green Technology, 2022: 1-19
- [15] Tan C, Zhang W, Huang O, et al. Application of real-time Cu thickness profile control in Cu CMP[J]. ECS Transactions, 2012, 44(1): 553