

面向水平 GAA 内侧墙模块的干法 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 选择性刻蚀研究

刘阳^{1,2} 李俊杰^{2,3*} 吴次南^{1*} 张青竹^{2,3} 王桂磊⁴ 周娜^{2,3} 高建峰^{2,3} 孔真真² 韩江浩²
罗彦娜^{2,3} 刘恩序^{2,3} 杨涛^{2,3} 李俊峰^{2,3} 殷华湘^{2,3} 罗军^{2,3} 王文武^{2,3}

(1. 贵州大学大数据与信息工程学院 贵阳 550025; 2. 中国科学院微电子研究所 北京 100029;
3. 中国科学院大学集成电路学院 北京 100049; 4. 北京超弦存储器研究院 北京 100176)

Dry Selective Etching of $\text{Si}_{0.7}\text{Ge}_{0.3}$ for Horizontal GAA Inner Spacer Module

LIU Yang^{1,2}, LI Junjie^{2,3*}, WU Cinan^{1*}, ZHANG Qingzhu^{2,3}, WANG Guilei⁴, ZHOU Na^{2,3}, GAO Jianfeng^{2,3},
KONG Zhenzhen², HAN Jianghao², LUO Yanna^{2,3}, LIU Enxu^{2,3}, YANG Tao^{2,3},
LI Junfeng^{2,3}, YIN Huaxiang^{2,3}, LUO Jun^{2,3}, WANG Wenwu^{2,3}

(1. College of Big Data and Information Engineering, Guizhou University, Guiyang 550025, China; 2. Institute of Microelectronics of the Chinese Academy of Sciences, Beijing 100029, China; 3. School of Integrated Circuits, University of Chinese Academy of Sciences, Beijing 100049, China; 4. Beijing Superstring Academy of Memory Technology, Beijing 100176, China)

Abstract Aiming at the issue that it is difficult to accurately control the size and profile of the inner spacer cavity etching of $\text{Si}_{0.7}\text{Ge}_{0.3}$ in Gate-All-Around (GAA) process flow, based on the conventional inductively coupled plasma (ICP) etching tool, dry isotropic selective etching experiment of $\text{Si}_{0.7}\text{Ge}_{0.3}$ was carried out with $\text{CF}_4/\text{O}_2/\text{He}$ mixed gas. The effects and mechanisms of factors such as the power of SRF (source radio frequency), gas pressure, and the sidewall cleaning process before etching were explored. The results show that there are linear and quasi-saturated regions in the effect of SRF on the etching rate, and there is a quadratic function relationship between gas pressure and etching rate in the experimental range. Diluted HF (DHF) and O_3 alternate cycle cleaning process has a better performance than the single DHF cleaning in the removal of the interface passivation layer and the control of the etching profile. After the optimization of the process scheme, better process results are obtained: the etching accuracy reaches 0.61 nm/s, the optimal roughness R_q is 0.101 nm, and the rectangle of the etching profile is high ($d/t \sim 83.3\%$). This study provides a solution for the inner spacer cavity etching.

Keywords $\text{Si}_{0.7}\text{Ge}_{0.3}$, Cavity etching, Etching accuracy, Roughness, Cavity profile

摘要 针对环栅(Gate-All-Around, GAA) $\text{Si}_{0.7}\text{Ge}_{0.3}$ 的内侧墙(Inner spacer)空腔刻蚀难以精确控制尺寸和形貌的问题, 本研究基于常规电感耦合等离子体(inductively coupled plasma, ICP)刻蚀设备, 采用 $\text{CF}_4/\text{O}_2/\text{He}$ 混合气体进行 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 干法各向同性选择性刻蚀实验, 探究了包括激励射频源(source radio frequency, SRF)功率、气压、刻蚀前侧壁清洗工艺等因素对刻蚀结果的影响与机制。研究结果表明, SRF 对刻蚀深度的影响是存在线性区与准饱和区的, 气压与刻蚀深度在实验区间内呈二次函数关系, 稀释的氢氟酸(Diluted HF, DHF)与 O_3 交替清洗相对单一的 DHF 清洗方案在界面钝化层的去除与刻蚀形貌的控制上有更优的表现。经工艺方案优化, 最终获得良好的工艺结果: 刻蚀精度达到了 0.61 nm/s, 最优粗糙度 R_q 为 0.101 nm, 刻蚀轮廓矩形度高($d/t \sim 83.3\%$)。本研究为内侧墙空腔刻蚀提供了一种解决方案。

关键词 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 空腔刻蚀 刻蚀精度 粗糙度 刻蚀形貌

中图分类号: TN405.98

文献标识码: A

doi: 10.13922/j.cnki.cjvst.202212018

收稿日期: 2022-12-30

基金项目: 中科院先导 A 项目(XDA0330300); 中国科学院支撑技术人才项目(E2YR01X001); 环栅(GAA)纳米片器件干法释放功能开发(E2SH01X)

* 联系人: E-mail: lijunjie@ime.ac.cn; cnwu@gzu.edu.cn

与传统平面场效应晶体管(MOSFET)相比,具有超薄沟道的三维器件结构表现出许多优点,比如更好的短沟道效应抑制特性、更低工作电压、更低功耗等^[1-4]。目前最具有应用前景的器件是水平堆叠环栅纳米片(GAA NS)晶体管,具有优秀的栅控能力,并在 3 nm 以下纳米节点具有较强的微缩能力,但同时也面临一系列的挑战^[5]。对于水平堆叠纳米片器件,其中挑战之一就是内侧墙的制备^[6],内侧墙的作用为调控栅极与源/漏极间的寄生电容与寄生电阻,并在栅极与源极/漏极(S/D)间充当沟道释放的刻蚀停止层来控制有效栅长,内侧墙的厚度和形貌显著影响上述作用效果,而决定内侧墙厚度及形貌的工艺为空腔刻蚀(cavity etching)。

目前公开报道的空腔刻蚀方法主要有三类:分别是湿法、气态法和干法。湿法主要是 H_2O_2 、 HNO_3 、 CH_3COOH 、 HF 等的混合溶液,其特点是选择比高,但是由于溶液反应的特点,存在毛细管效应和刻蚀剖面的“月牙”形等问题^[7-9],局限了其应用。 HCl 气态法需要较高的反应温度增加了器件的热预算,且通常存在晶向选择性而无法获得理想的刻蚀剖面^[10]。干法刻蚀在小尺寸、减弱“月牙”状以及提高刻蚀精度上具有优势,但是公开报道的干法刻蚀都是基于远程等离子(Remote plasma)源的刻蚀设备来实现工艺,其硬件复杂性相对常规干法刻蚀更高^[11-13]。2021 年 IBM 报道在 6 nm 的空腔,采用干法刻蚀工艺得到小于 1 nm 的硅损伤,且内侧墙轮廓较好,但是具体工艺方法并未公开报道^[14],此外针对空腔刻蚀的实现方法以及相关机理也鲜有报道。

2019 年中国科学院微电子研究所李俊杰提出了一种基于常规 ICP 进行 SiGe/Si 叠层准各向同性选择性干法刻蚀新方案,通过采用合适气体比例的 $\text{CF}_4/\text{O}_2/\text{He}$ 体系获得了较为理想的刻蚀效果^[15],但是并未对激励射频(SRF)功率,气压等工艺参数对刻蚀影响进行报道。本论文主要针对上述问题进行补充研究,并且对刻蚀前清洗等工艺对于刻蚀深度,“月牙”形貌控制,表面粗糙度及刻蚀精度影响与机制进行了探讨,最终获得了具有应用前景的内侧墙空腔刻蚀方案。

1 实验设计

1.1 样品制备

实验过程(如图 1)所示。选用 8 英寸 $\text{Si}(100)$

衬底,在设备 ASM E2000 plus 中,通过减压化学气相沉积(Reduced pressure chemical vapor deposition, RPCVD)的方式外延生长 $\text{Si}_{0.7}\text{Ge}_{0.3}$ (12 nm)/ Si (18 nm)叠层。在形成 Fin、浅槽沟道隔离(Shallow Trench Isolation, STI)和非晶硅工艺后,并沉积 $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ 完成硬掩膜图形化(如图 1(a))。

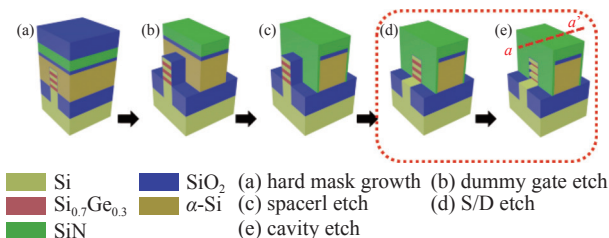


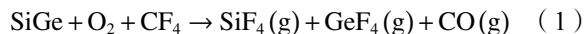
图1 空腔刻蚀示意图。(a) $\text{Si}_{0.7}\text{Ge}_{0.3}/\text{Si}$ 叠层和硬掩模生长;(b)光刻与刻蚀形成假栅;(c)spacer 刻蚀;(d)源/漏刻蚀;(e) $\text{Si}_{0.7}\text{Ge}_{0.3}$ 各向同性选择性蚀刻形成空腔

Fig. 1 Process flow of cavity etch. (a) $\text{Si}_{0.7}\text{Ge}_{0.3}/\text{Si}$ Fin structure and hard mask growth, (b) lithography and etching patterning to form dummy gate, (c) spacer etching, (d) source/drain etching, (e) $\text{Si}_{0.7}\text{Ge}_{0.3}$ isotropic selective etching forms cavity

本实验各向异性与各向同性刻蚀均在 8 英寸 ICP 刻蚀机 Lam 9400 DFM 上进行,通过光刻与刻蚀完成假栅图形化(如图 1(b))之后,以假栅及侧墙自对准完成进行 $\text{Si}_{0.7}\text{Ge}_{0.3}/\text{Si}$ 叠层的各向异性刻蚀挖除源漏区域 $\text{Si}_{0.7}\text{Ge}_{0.3}/\text{Si}$ 叠层的图案(如图 1(c)-(d))。在进行空腔蚀刻之前,湿法清洗去除钝化层,然后进入 ICP 刻蚀腔采用 $\text{CF}_4/\text{O}_2/\text{He}$ 气体进行各向同性选择性蚀刻 $\text{Si}_{0.7}\text{Ge}_{0.3}$ (如图 1(e))形成空腔,以确定内侧墙的生长位置和尺寸。

1.2 刻蚀实验

本实验采用 $\text{CF}_4 : \text{O}_2 : \text{He} = 4 : 1 : 5$ 的气体组合进行选择性各向同性 SiGe 刻蚀,静电卡盘的温度设置在 80°C , ICP 偏置射频(Bias RF)设置为零以最大程度降低离子的轰击能量以获得接近各向同性的刻蚀效果。具体的等离子反应式^[16-17]如下:



在引入 O_2 后会对 SiGe 以及 Si NS 表面氧化,同时因 C 与 O 结合易生成气态的 CO 或 CO 会在一定程度上增加 CF_4 的 F 自由基的释放量。因为 Ge 是一种比 Si 更为活泼的元素^[16], Ge 的氧化也更容易被 F 基气体刻蚀,而 SiO_2 是一种相对化学活性比较稳定的材料,在 F 基气体下需要一定的离子能量

才会产生刻蚀,所以 SiGe 比 SiO_2 更容易被 F 基气体刻蚀。He 气作为惰性载气,具有使等离子体分布更为均匀,降低刻蚀过程的微负载效应,降低刻蚀界面粗糙度的作用。

本文研究了 SRF、气压、刻蚀时间以及刻蚀前清洗工艺对刻蚀结果的影响。样品的取样沿 a-a' 方向(如图 1(e))得到沟道截面(如图 2 所示)进行 SEM 表征,观察不同条件下干法刻蚀的样品形貌并测量刻蚀深度以及形貌。

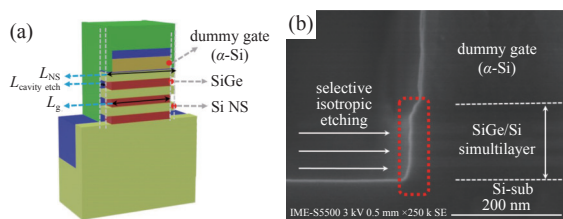


图2 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 各向同性选择性蚀刻形成空腔表征。(a)图 1(e) a-a' 方向沟道截面示意图; (b)图 1(e) a-a' 方向沟道截面 SEM 表征

Fig. 2 Characterization of cavities formed by $\text{Si}_{0.7}\text{Ge}_{0.3}$ isotropic selective etching. (a) Sectional diagram of trench in Fig.1(e) a-a' direction, (b) SEM characterization of channel in Fig.1(e) a-a' direction

2 结果与讨论

2.1 SRF 对空腔刻蚀的影响

不同 SRF 下的刻蚀深度与形貌(如图 3 所示),固定刻蚀时间 20 s, SRF 设置为 100、200、300、400、500、600 W 的条件下,分别产生了 3.86、23.77、50.48、67.68、79.53、83.27 nm 的刻蚀深度。

在较低的 SRF 阶段(≤ 400 W),其线性拟合度为 $R_L^2=0.991$,表明在此阶段,刻蚀深度随 SRF 的增

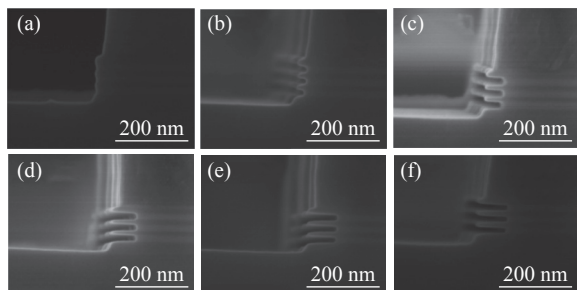


图3 采用以下条件 SRF 产生的空腔刻蚀 SEM 图像: (a) 100 W; (b) 200 W; (c) 300 W; (d) 400 W; (e) 500 W; (f) 600 W

Fig. 3 SEM images of cavity etch by different SRF (a) 100 W, (b) 200 W, (c) 300 W, (d) 400 W, (e) 500 W, (f) 600 W

大呈现接近一次函数的线性关系。在较高 SRF 阶段(>400 W),其二次函数拟合度为 $R_S^2=0.998$,刻蚀深度逐渐趋于饱和(如图 4)。这种趋势是因为低功率下气体解离度较低,随着 SRF 的增大,气体解离度呈现线性增大,导致参与反应的离子和自由基密度也呈现线性增大。当在拐点(本实验条件下大致为 400 W)之后的较高功率时,是由于在气体流量的限制下,气体组合能转化的 F 自由基逐渐接近饱和,导致刻蚀深度增长趋于平缓。

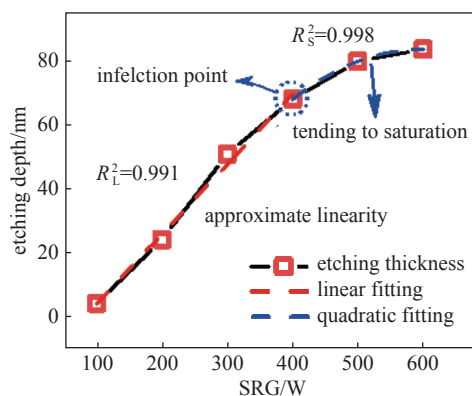


图4 空腔刻蚀深度随 SRF 变化规律

Fig. 4 Cavity etching depth as a function of the power of the SRF

2.2 气压对空腔刻蚀的影响

为了研究适合空腔刻蚀的气压,本节研究当中固定刻蚀时间为 10 s,设置气压 10、20、40、60、80 mT,分别得到 7.21、18.91、51.6、79.23、136.67 nm 的刻蚀深度(如图 5 所示)。

气压是等离子体刻蚀中较为重要的参数,气压决定着等离子体中平均自由程和自由基的密度,由于在高压下的自由基密度增加,故产生更大的刻蚀深度,在进行二次函数拟合后得到的拟合度为 0.987,这是由于在低气压下,能量较高,会使部分自由基

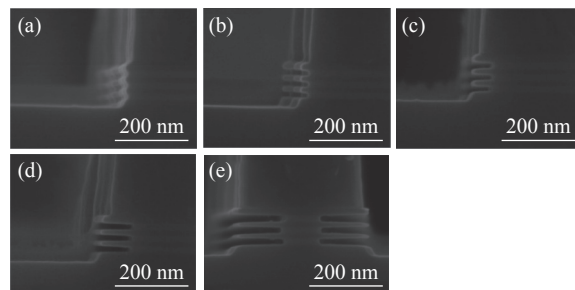


图5 通过采用以下不同条件的气压产生的刻蚀量的 SEM 图像: (a) 10 mT; (b) 20 mT; (c) 40 mT; (d) 60 mT; (e) 80 mT

Fig. 5 SEM images of cavity etch by using different gas pressure (a) 10 mT, (b) 20 mT, (c) 40 mT, (d) 60 mT, (e) 80 mT

离化。而在较高气压下, 能量较小, 自由基较为稳定, 相比于低气压下有更高密度的自由基可以参与 SiGe 各项同性刻蚀, 因此刻蚀深度可能并不呈现单一的线性增加, 而是接近二次函数变化(如图 6)。

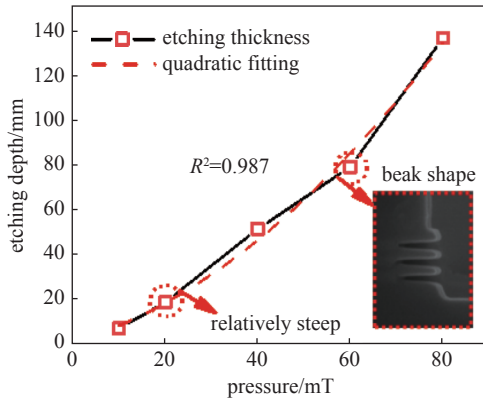


图6 气压与空腔刻蚀深度关系曲线

Fig. 6 Relation curve between gas pressure and cavity etching depth

从刻蚀形貌上看出 20 mT 的气压下获得了相对陡直的空腔刻蚀形貌(如图 5(b)), 是由于 20 mT 的气压下, 等离子体的自由程相对较高且自由基密度适中, 离子运动受侧壁的影响相对较小, 所以获得了相对陡直的空腔刻蚀形貌, 这样的条件下有利于对小尺寸的内侧墙进行精确空腔刻蚀控制。而在较高气压的情况下 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 牺牲层会产生“尖嘴状”存在部分 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 没有被刻蚀(如图 6 所示), 这是因为等离子体自由程较低, 受到上下纳米片的影响, 进而会有部分 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 残留, 表明高压的条件下, 不利于内侧墙空腔结构的形成。

2.3 不同清洗工艺对空腔刻蚀的影响

为了研究刻蚀前清洗工艺对空腔刻蚀形貌的影响, 分别在刻蚀前进行单一 DHF 清洗与 O_3/DHF 交替循环清洗进行实验对比, (如图 7 所示)可以明显观察到在 O_3/DHF 交替循环清洗后, 空腔刻蚀的轮廓接近矩形, 要优于常规的清洗工艺后的轮廓。其原因可能是由于在各向异性刻蚀开叠层的过程中(如图 1(d))的过程中, 需要引入 Br 或 C 聚合物来保护侧壁, 从而获得各向异性的陡直刻蚀形貌, 以及侧壁形成后在空气中形成自然氧化层, 单独依靠 DHF 很难彻底清洗掉聚合物保护层与自然氧化层, 从而阻挡了干法刻蚀对 SiGe 的有效选择性刻蚀。而 O_3/DHF 交替循环清洗中, O_3 将聚合物置换为氧化物, 然后经过 DHF 溶液去除 Si 或 SiGe 的氧化物,

从而达到钝化层(侧壁聚合物保护层与自然氧化层)较多去除的目的, 使干法刻蚀剂更为有效选择性刻蚀 SiGe。

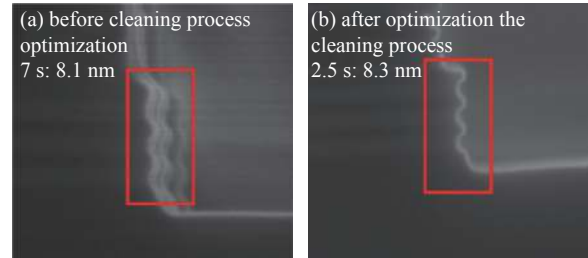


图7 刻蚀前清洗工艺优化前后, 相近刻蚀深度的空腔形貌对比: (a)单一 DHF 清洗; (b) O_3/DHF 交替循环清洗

Fig. 7 Comparison of cavity profile with similar etching depth before and after optimization of sidewall cleaning process before etching. (a) Single DHF cleaning (8.1 nm), (b) O_3/DHF alternate cycle cleaning (8.3 nm)

为了探究刻蚀前清洗工艺对空腔刻蚀深度的影响, 在上述两种清洗工艺后, 进行各向同性刻蚀实验对比, 整个刻蚀过程可分为两个阶段: 第一阶段即在 Δt_1 、 Δt_2 时间段, 需要刻蚀突破清洗后依然存在的钝化层(含清洗未彻底去除的钝化层以及清洗后进刻蚀腔前暴露大气的自然氧化层), 此阶段并未对 SiGe 进行刻蚀, 所以 SiGe 刻蚀速率为 0 nm/s。第二阶段再进行 SiGe 刻蚀, SiGe 刻蚀深度与时间之间存在较高的线性度(如图 8)。故 SiGe

$$D_E = k(t - \Delta t) \quad (2)$$

D_E 为刻蚀深度, k 为第二阶段 SiGe 刻蚀线性拟合的斜率也可认为是在第二阶段 SiGe 刻蚀平均速率。 Δt_1 、 Δt_2 分别为单一 DHF 清洗与采用 O_3/DHF

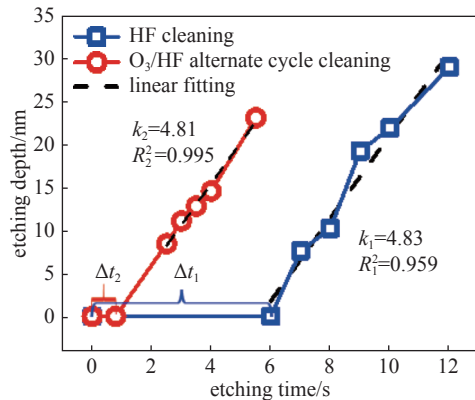


图8 时间与 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 选择性刻蚀深度关系曲线。单一 DHF 清洗(蓝线); O_3/DHF 交替循环清洗(红线)

Fig. 8 Relation curve between time and cavity etching depth. Single DHF cleaning (blue line), O_3/DHF alternate cycle cleaning (red line)

交替循环清洗在第一阶段对钝化层进行刻蚀消耗所需时间; k_1 、 k_2 分别是上述两实验中在第二阶段 SiGe 刻蚀线性拟合的斜率; R_1^2 、 R_2^2 分别上述两实验中在第二阶段 SiGe 刻蚀线性拟合的线性度(如图 8 所示)。

在两次实验当中得到 k_1 、 k_2 分别为 4.83、4.81, 且线性度较高, 即为两次实验在第二阶段 SiGe 刻蚀过程中平均速率近似相等。同时可观察到在 O_3 /DHF 交替循环清洗后比单一 DHF 清洗在更短的时间内($\Delta t_2 < \Delta t_1$)进入第二阶段 SiGe 的刻蚀过程, 这表明 O_3 /DHF 交替循环清洗工艺要比常单一 DHF 清洗具有更好的钝化层去除效果。

2.4 Si NS 表面粗糙度的分析

在空腔刻蚀的工艺中, 理论上会造成对硅纳米片表面一定程度的损伤, 体现为表面粗糙度增加, 界面态密度增加, 从而降低器件性能, 因此对空腔刻蚀后 Si NS 的表面粗糙度的控制是很重要的^[18-20]。

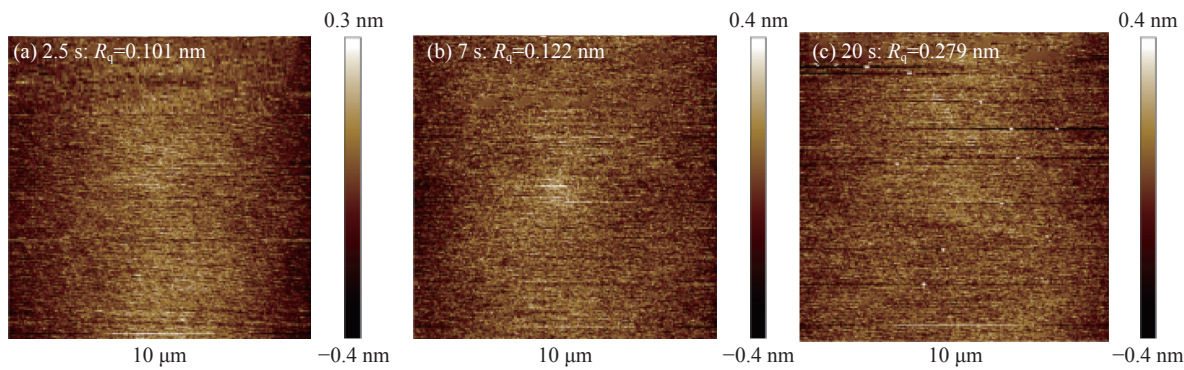


图9 通过以下不同刻蚀的时间产生空腔的 AFM 图像。(a) 2.5 s; (b) 7 s; (c) 20 s

Fig. 9 AFM images of cavity etch by different etching time. (a) 2.5 s; (b) 7 s; (c) 20 s

7 种不同刻蚀样品的 AFM 表征得到 R_q 值(如表 1), 表明在高的 SRF(样品 3、4、5), 长时间(样品 1、2、6、5)刻蚀会使得 R_q 增大, 是由于离子与自由基密度高或者长时间刻蚀, 使蚀刻产物吸附在 Si NS 上, 起到微掩蔽的作用, 会导致非均匀刻蚀, 从而增加表面粗糙度。而气压的增大(样品 6、7)当中, 粗糙度会有轻微的增大, 表明在 20 mT 下, 既有利于小尺寸刻蚀, 又满足较低的 R_q 。

2.5 提高刻蚀精度的工艺实现

为了提高刻蚀精度, 优化多种刻蚀参数的刻蚀条件下分别刻蚀 20、25、30、35、40 s 得到 4、7.5、10、12.83、16.5 nm 的刻蚀深度, 第二阶段 $Si_{0.7}Ge_{0.3}$ 平均刻蚀速率为 0.61 nm/s, 且线性度为 $R^2=0.995$ (如

为了直接表征界面微观状态, 在固定的气体组合后, 调整刻蚀时间、SRF、气压原子力显微镜(AFM)表征后得到 R_q 如表 1 所示。在相同的条件下刻蚀 2.5、7、20 s (如图 9 所示), 显示了通过 AFM 测量得到的 Si NS 粗糙度。结果表明, 在此刻蚀条件下随着刻蚀时间的延长, 粗糙度也会增大。在 2.5 s 刻蚀的表面粗糙度保持在较低的水平($R_q=0.101$ nm)。

表 1 不同刻蚀条件下的 R_q

Tab. 1 The R_q value of different etching parameters

样品编号	SRF/W, 气压/mT, 时间/s	R_q /nm
1	600, 20, 2.5	0.101
2	600, 20, 7	0.122
3	200, 20, 20	0.144
4	400, 20, 20	0.203
5	600, 20, 20	0.279
6	600, 20, 10	0.221
7	600, 60, 10	0.248

图 10 所示), 表明可通过调控多种刻蚀参数来实现高精度刻蚀结果。

2.6 内侧墙空腔轮廓的分析

由于空腔刻蚀“月牙”状将在后续的高 k 金属栅(High K Metal Gate, HKMG)填充之后会引起尖角异常放电, 这将对器件的可靠性存在潜在的负面影响。故本文探索了一种可实现减弱“月牙”状的内侧墙空腔刻蚀工艺优化的方法。

在经过多项刻蚀参数优化后, 为了保持空腔 形貌, 填充内侧墙材料后进行 TEM 表征(如图 11 所示)。 O_3 /DHF 交替循环清洗后, 在 3.5 s 内产生 13.9 nm 的刻蚀深度, 硅纳米片厚度为 12 nm 的内侧墙空腔, 空腔轮廓的“月牙”状相对较小, 矩形度为

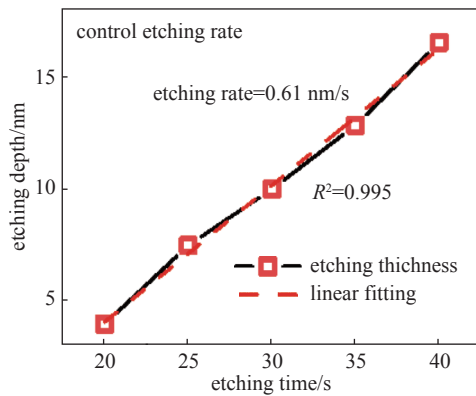


图10 刻蚀参数调控后,时间与空腔刻蚀深度关系曲线

Fig. 10 Relation curve between time and cavity etching depth after the regulation of various etching parameters

($d/t=11.6/13.93\sim 83.3\%$)且低的硅损伤($e/g=9.9/11.7\sim 84.62\%$)。“月牙”形貌得到改善,一方面是由于钝化层得到彻底清除,另一方面因低气压下的粒子

自由程相对较高,受侧壁的影响相对较小,刻蚀剖面速率一致性高,故刻蚀空腔轮廓较为陡直。进一步说明 O_3/DHF 交替循环清洗相对单一的 DHF 清洗方案是一种更优的选择。

3 结论

本文采用 $\text{CF}_4/\text{O}_2/\text{He}$ 混合气体在 ICP 刻蚀机上研究了 SRF, 气压及刻蚀前清洗工艺对各向同性干法刻蚀 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 的影响, 获得了 SRF 影响刻蚀深度的线性区和准饱和区的, 气压与刻蚀速率深度呈现较强二次函数关系(实验区间内拟合度达到了 0.987), 采用优化后工艺, 获得了较高的刻蚀 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 控制精度(0.61nm/s), 较好的刻蚀轮廓(矩形度 $d/t\sim 83.3\%$), 较低的刻蚀界面粗糙度($R_q=0.101\text{ nm}$), 将为业界研制 GAA 内侧墙模块提供主要的参考。

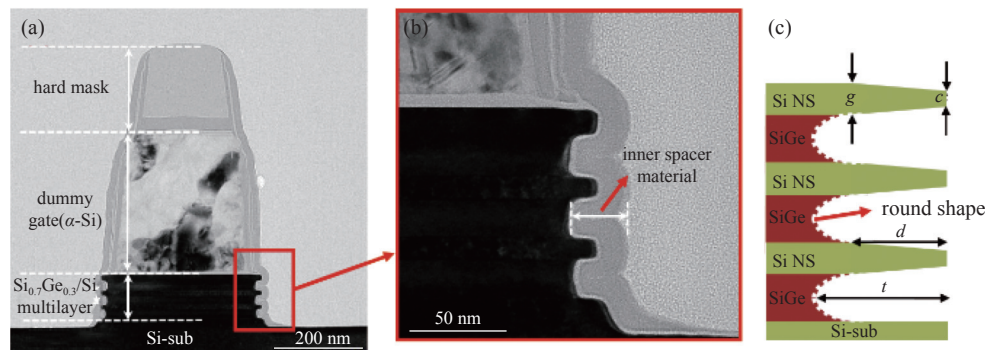


图11 内侧墙空腔填充内侧墙材料后的 TEM 表征以及示意图。(a)整体 TEM 表征,(b)局部放大形貌 TEM 表征,(c)“月牙”状与硅损伤示意图

Fig. 11 TEM characterization and schematic diagram of inner spacer cavity filled with material. (a) The overall TEM characterization, (b) the local magnified profile TEM characterization, (c) schematic diagram of round shape and silicon damage

参 考 文 献

- [1] Hisamoto D, Kaga T, Kawamoto Y, et al. A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra-thin SOI MOSFET[C]. International Technical Digest on Electron Devices Meeting. IEEE, 1989, 833-836
- [2] Natarajan S, Agostnelli M, Akbar S. A 14 nm logic technology featuring 2nd-generation finfet transistors, air-gapped interconnects, self-aligned double patterning and a 0.0588 μm^2 sram cell size[C]. International Electron Devices Meeting (IEDM), 2014, 71
- [3] Cho H J, Oh H S, Nam K J, et al. Si FinFET based 10nm technology with multi V_t gate stack for low power and high performance applications[C]. 2016 IEEE Symposium on VLSI Technology. IEEE, 2016, 1-2
- [4] Loubet N, Hook T, Montanini P, et al. Stacked nanosheet gate-all-around transistor to enable scaling beyond Fin-FET[C]. 2017 Symposium on VLSI Technology. IEEE, 2017, T230-T231
- [5] Radamson H H, Zhu H, Wu Z, et al. State of the art and future perspectives in advanced CMOS technology[J]. *Nanomaterials*, 2020, 10(8): 1555
- [6] Li J, Li Y, Zhou N, et al. Study of silicon nitride inner spacer formation in process of gate-all-around nano-transistors[J]. *Nanomaterials*, 2020, 10(4): 793
- [7] Holländer B, Buca D, Mantl S, et al. Wet Chemical Etching of Si, $\text{Si}_{1-x}\text{Ge}_x$, and Ge in $\text{HF}:\text{H}_2\text{O}_2:\text{CH}_3\text{COOH}$ [J]. *Journal of The Electrochemical Society*, 2010, 157(6): H643
- [8] Kil Y H, Yang J H, Kang S, et al. Selective chemical wet etching of $\text{Si}_{0.8}\text{Ge}_{0.2}/\text{Si}$ multilayer[J]. *JSTS:Journal of*

- Semiconductor Technology and Science*, 2013, 13(6): 668–675
- [9] Cao Zhijun, Zhang Qingzhu, Wu Cinan, et al. Release of stacked nanowires for 5 nm CMOS Node: an experimental study[J]. *Chinese Journal Vacuum Science and Technology*, 2018, 38(2): 121–126 (曹志军, 张青竹, 吴次南, 等. 面向 5 nm CMOS 技术代堆叠纳米线释放工艺研究[J]. *真空科学与技术学报*, 2018, 38(2): 121–126(in chinese))
- [10] Hartmann J M, Destefanis V, Rabillé G, et al. HCl selective etching of SiGe versus Si in stacks grown on (1 1 0)[J]. *Semiconductor science and technology*, 2010, 25(10): 105009
- [11] Caubet V, Beylier C, Borel S, et al. Mechanisms of isotropic and selective etching between SiGe and Si[J]. *Journal of Vacuum Science & Technology B:Microelectronics and Nanometer Structures Processing, Measurement, and Phenomena*, 2006, 24(6): 2748–2754
- [12] Donnelly V M, Kornblit A. Plasma etching: Yesterday, today, and tomorrow[J]. *Journal of Vacuum Science & Technology A:Vacuum, Surfaces, and Films*, 2013, 31(5): 050825
- [13] Loubet N, Kal S, Alix C, et al. A novel dry selective etch of SiGe for the enablement of high performance logic stacked gate-all-around nanosheet devices[C]. 2019 IEEE International Electron Devices Meeting (IEDM), 2019, 11.4. 1–11.4. 4
- [14] Durfee C, Kal S, Pancharatnam S, et al. Highly Selective SiGe Dry Etch Process for the Enablement of Stacked Nanosheet Gate-All-Around Transistors[J]. *ECS Transactions*, 2021, 104(4): 217
- [15] Li J, Wang W, Li Y, et al. Study of selective isotropic etching $\text{Si}_{1-x}\text{Ge}_x$ in process of nanowire transistors[J]. *Journal of Materials Science:Materials in Electronics*, 2020, 31(1): 134–143
- [16] Borel S, Arvet C, Bilde J, et al. Isotropic etching of SiGe alloys with high selectivity to similar materials[J]. *Micro-electronic engineering*, 2004, 73: 301–305
- [17] Kumar A, Lee W H, Wang Y L. Optimizing the Isotropic Etching Nature and Etch Profile of Si, Ge and $\text{Si}_{0.8}\text{Ge}_{0.2}$ by Controlling CF_4 Atmosphere with Ar and O_2 Additives in ICP[J]. *IEEE Transactions on Semiconductor Manufacturing*, 2021, 34(2): 177–184
- [18] Lee H W, Choi Y, Shin D, et al. Epitaxial growth of a silicon capping layer to mitigate roughness after the selective chemical etching of $\text{Si}_{1-x}\text{Ge}_x$ [J]. *Thin Solid Films*, 2020, 707: 138048
- [19] Yin X, Zhu H, Zhao L, et al. Study of Isotropic and Si-Selective Quasi Atomic Layer Etching of $\text{Si}_{1-x}\text{Ge}_x$ [J]. *ECS Journal of Solid State Science and Technology*, 2020, 9(3): 034012
- [20] Chang W Y, Chu C L, Luo G L, et al. Investigation on selectively etched SiGe and Si surface for Gate-All-Around CMOS devices fabrication[C]. 2022 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA). IEEE, 2022, 1-2

通讯作者介绍



李俊杰, 工学博士, 高级工程师, 硕士生导师, 入选中国科学院支撑技术人才, 中国科学院特聘研究岗。长期从事与微电子技术相关的研发工作, 先后参与或主持国家“02 科技重大专项”, 重点研发计划, 中科院先导 A, 先导 C, 北京市科技计划项目等多项课题, 专注于先导刻蚀工艺及纳米器件的研发, 发表 SCI 论文 100 余篇, 申请发明专利 250 余项。

团队介绍

中国科学院微电子研究所集成电路先导工艺研发中心是面向国家集成电路行业重大需求, 按照工业界研发标准设计和建设, 采用产业技术研发模式进行管理, 并由国际化研发团队运作的国家级研发中心。先导中心拥有一条完整的 8 吋集成电路先导工艺研发线, 并兼容硅基光子器件、硅基 MEMS 器件等集成技术研发。研发线具备 10 纳米电子束光刻的研发能力和 180 纳米光学光刻的量产技术。先导中心现有 150 名研发人员, 其核心团队来自世界著名的集成电路研发机构, 拥有超过 10 年的研发和科研管理经验。其工程师团队均有 5 年以上的工业界研发或生产经验, 另有在读博士、硕士研究生 100 余人。